Cognome e nome	
Matricola	
Data	23 Luglio 2004
Corso di Laurea	Telecomunicazioni

Circuiti Elettronici Digitali LA

Parametri tecnologici

	n-channel	p-channel
V_{TO}	0.5V	-0.5V
β'	100 $\mu A/V^2$	50 $\mu A/V^2$
γ	0.2 $V^{1/2}$	0.2 $V^{1/2}$
λ	0	0
C_{ox}	4 fF$/\mu m^2$	4 fF $/\mu m^2$
L_{min}	0.25 μm	0.25 μm
Φ	0.6 V	0.6 V

$V_{DD} = 2.5V$

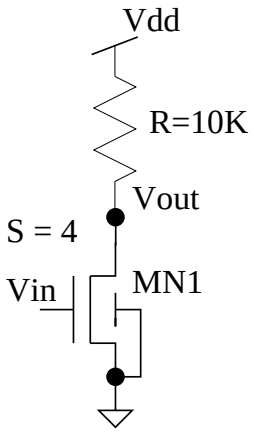
Scrivere sempre espressione analitica e valore numerico. Utilizzare $f = f_r = f_f = 0.8$ nel calcolo dei transitori

Per il recupero della seconda prova parziale é necessario svolgere gli esercizi 5, 6 e 7

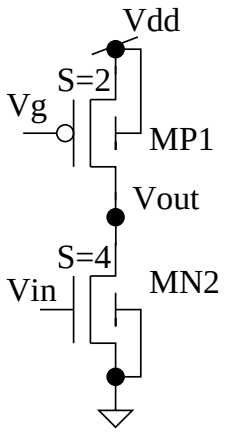
1. Si progetti la porta logica CMOS pienamente complementare che realizza la funzione $OUT = \overline{(A+B)\cdot(C+D)}$

2. Considerando per tutti i transistori a canale n un fattore di forma pari a S_n e per quelli a canale p $S_p = \alpha \cdot S_n$, la capacità di carico pari a $C_L = 50fF$, si dimensioni la porta logica progettata affichè $T_{P,LH} = T_{P,HL}$

3. I circuiti in figura rappresentano due possibili soluzioni per la realizzazione di un invertitore a rapporto. Con riferimento a tali circuiti, considerando $V_g = 1.5V$, si risponda ai seguenti quesiti:



(a)



(b)

(a) Calcolare il valore logico alto massimo in uscita ed il valore logico basso minimo in uscita per il circuito (a).

(b) Calcolare il valore logico alto massimo in uscita ed il valore logico basso minimo in uscita per il circuito (b).

(c) Si disegni il circuito equivalente ai piccoli segnali e si calcoli il valore del guadagno di tensione $A_v = \frac{v_{out}}{v_{in}}$ per il circuito (a).

(d) Si disegni il circuito equivalente ai piccoli segnali e si calcoli il valore del guadagno di tensione $A_v = \frac{v_{out}}{v_{in}}$ per il circuito (b).

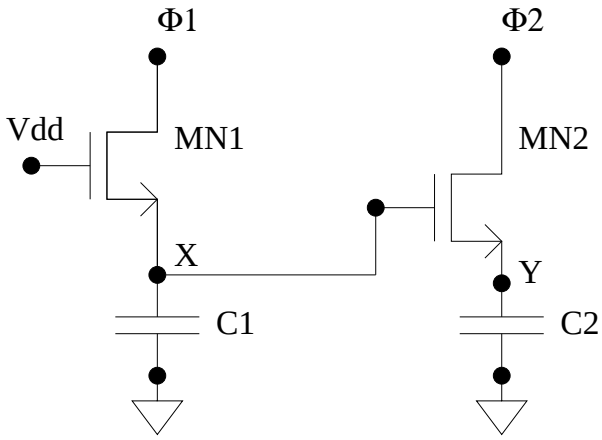
(e) Indicare, motivando la risposta, la regione di funzionamento di MP1 in cui il guadagno di tensione per il circuito (b) é massimo.

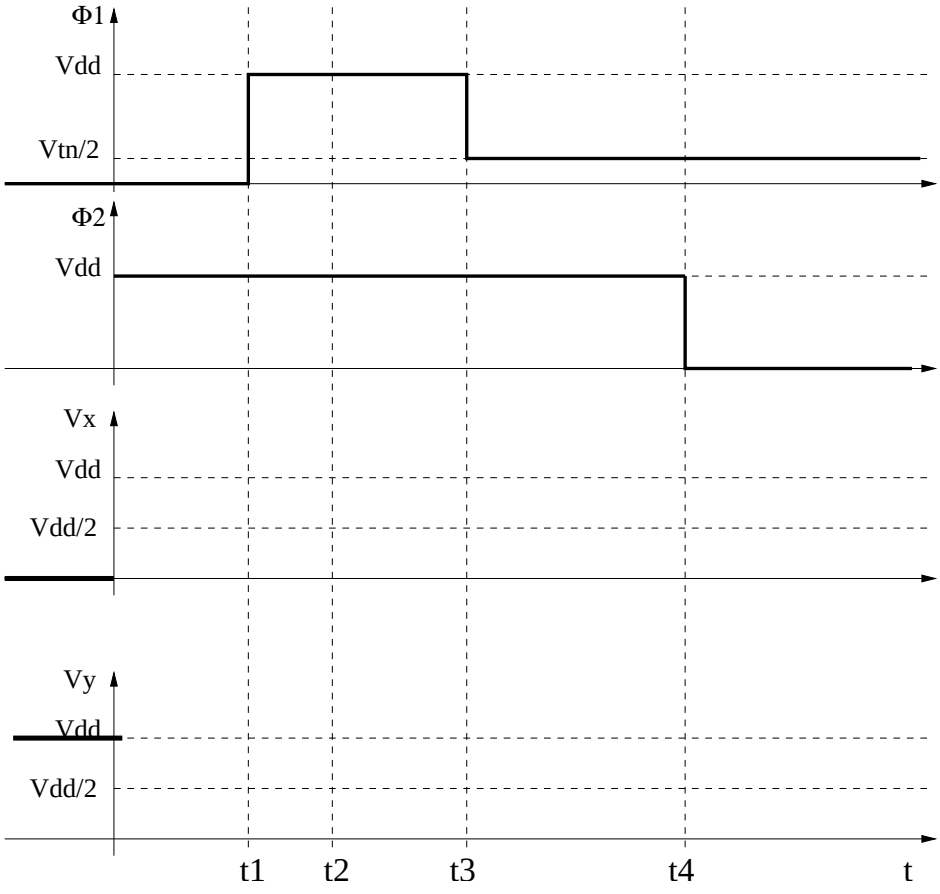
(f) Si calcoli la potenza statica dissipata per entrambi i circuiti nel caso in cui in ingresso venga applicato un valore logico alto.

(g) Si calcoli la potenza statica dissipata per entrambi i circuiti nel caso in cui in ingresso venga applicato un valore logico basso.

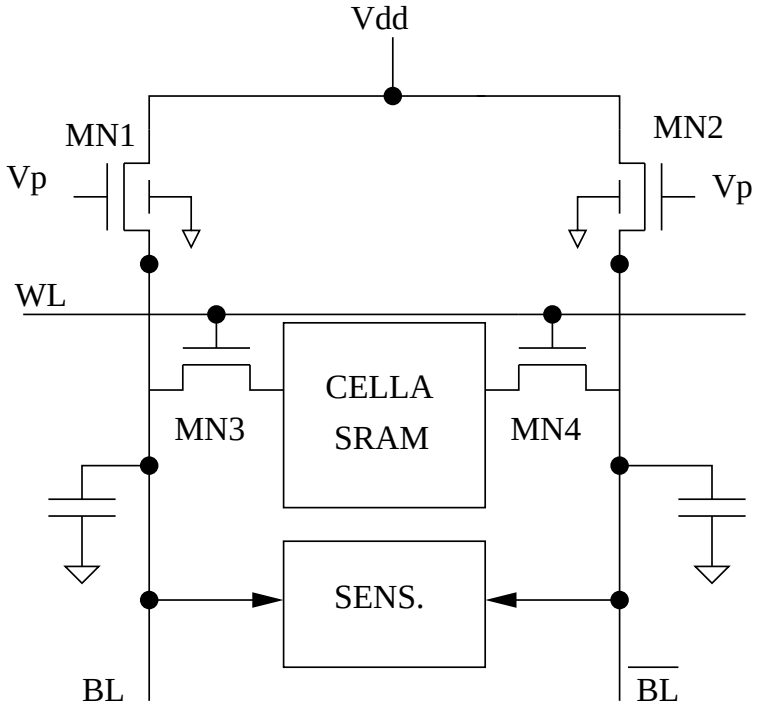
(h) Spiegare quale delle soluzioni circuitali considerate é preferibile utilizzare per la realizzazione di un invertitore.

4. Con riferimento al circuito e alle forme d'onda in figura, graficare qualitativamente l'andamento delle tensioni V_X e V_Y. Si considerino già esauriti i transitori agli istanti di tempo $t1$, $t2$, $t3$, $t4$ e il valore della capacità $C1$ piccolo a sufficienza da consentire transizioni praticamente istantanee della tensione al nodo X (**Motivare inoltre la risposta**).



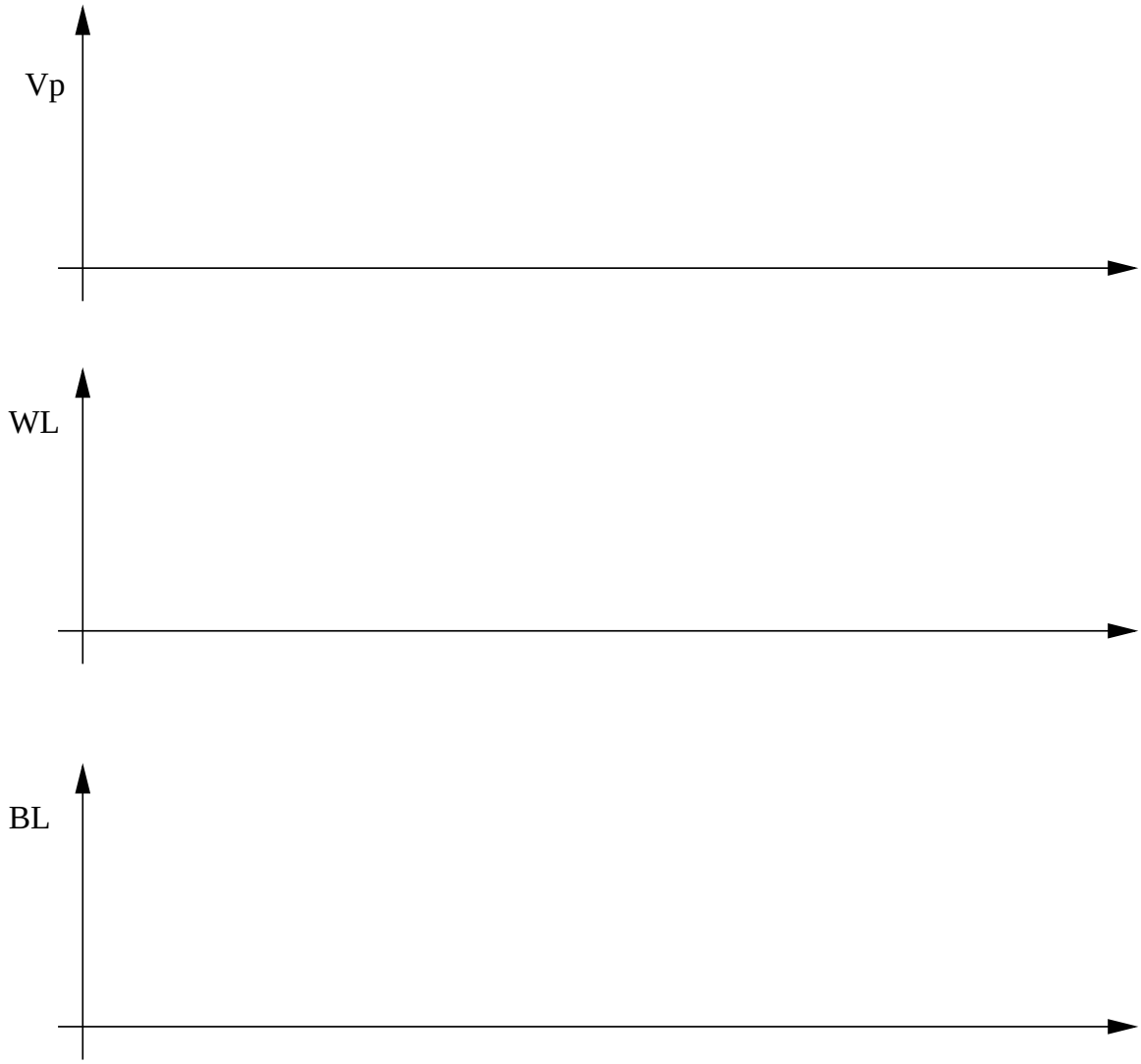


5. Con riferimento al circuito in figura, si risponda ai seguenti quesiti:



(a) Progettare un possibile circuito da utilizzare per la cella di memoria statica.

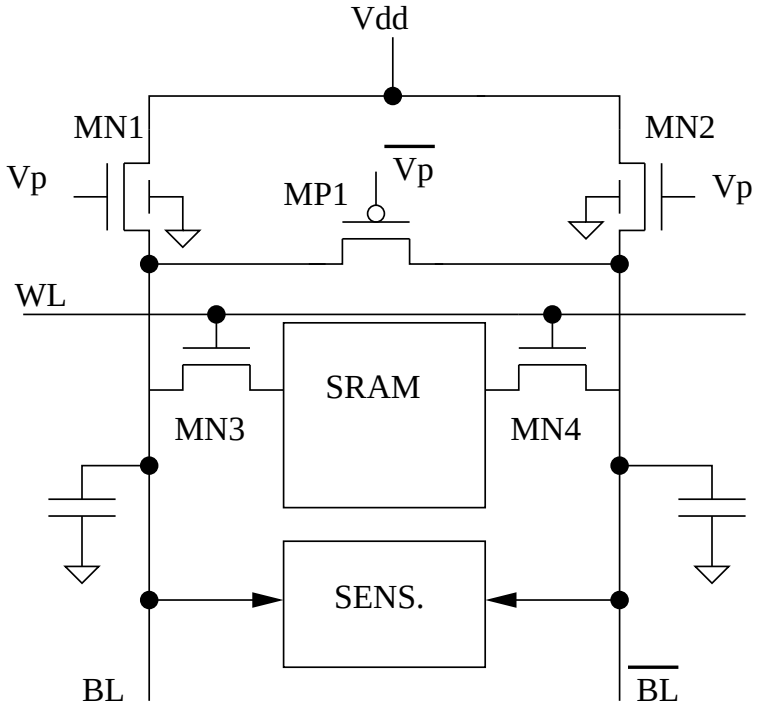
(b) Tracciare qualitativamente l'andamento delle tensioni V_P, WL, BL durante la fase di lettura del dato memorizzato nella cella di memoria, **spiegando a parole tale andamento nello spazio sottostante**.



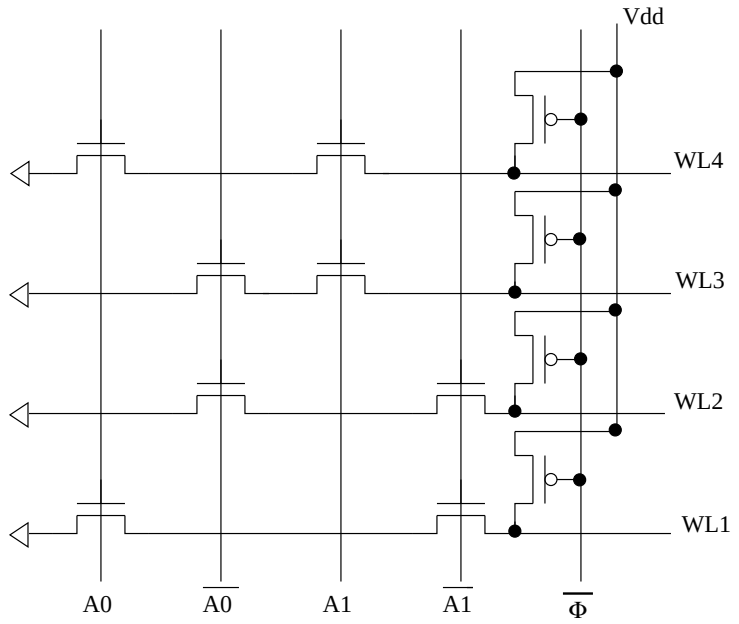
(c) Indicare il valore al quale vengono precaricate le bit-line BL e $\overline{BL}$.

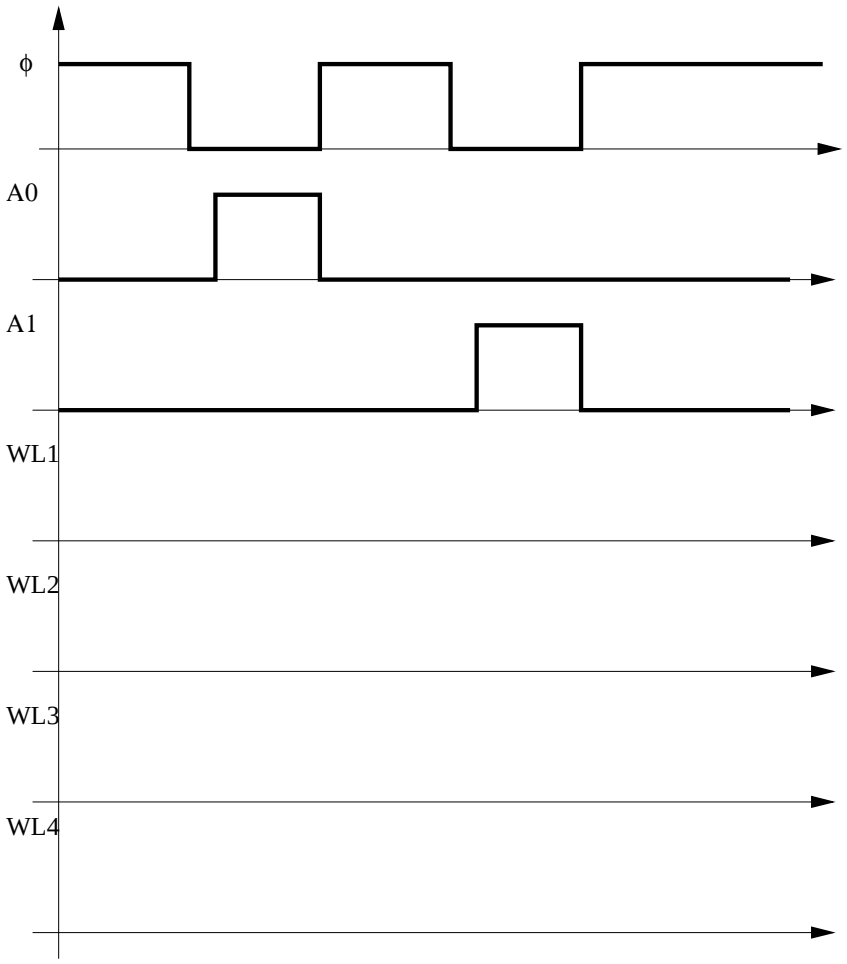
(d) In seguito ad una variazione nel processo tecnologico, il parametro γ del transistore MN2 assume il valore $\gamma = 0.4V^{1/2}$. Perché tale variazione puó causare la lettura da parte del sense-amplifier di un dato errato?

(e) Tenendo conto della variazione nel precesso tecnologico del quesito precedente, indicare l'espressione del valore di precarica nel caso in cui si inserisca nel circuito il transistore a canale p MP1, come mostrato nella seguente figura (**non é necessario calcolare il valore numerico**).



6. Il circuito in figura rappresenta un decoder dinamico a NAND. Con riferimento alle forme d'onda dei segnali $A0$, $A1$ e Φ in figura, si tracci qualitativamente (**motivando la risposta**) l'andamento delle tensioni sulle linee $WL1$, $WL2$, $WL3$ e $WL4$.

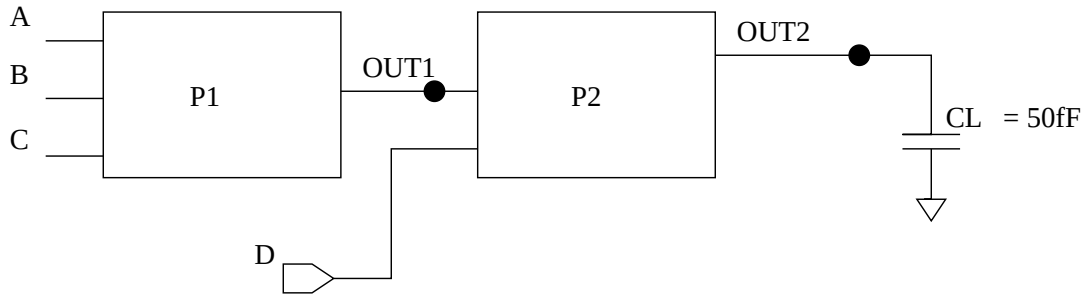




7. Con riferimento al circuito in figura, al valore dei parametri tecnologici indicato nella tabella e considerando per le uscite $OUT1$, $OUT2$ il seguente valore:

(a) $OUT1 = \overline{A + (B \cdot C)}$;

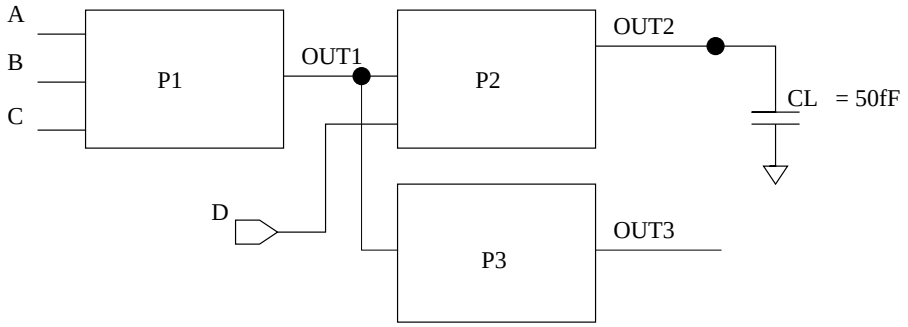
(b) $OUT2 = \overline{OUT2 + D}$;



(a) Dimensionare i transistori delle porte logiche $P1$ e $P2$ realizzate in tecnologia CMOS pienamente complementare affinché:

i. $T_{P,LH} = T_{P,HL}$ in ogni stadio;

ii. venga minimizzato il tempo totale di propagazione dei segnali A, B, C;

iii. la capacitá ad ogni ingresso A, B, C valga $C_{in}(P1) = 1.5fF$;

(b) All'uscita $OUT1$ della porta logica $P1$ viene collegato il blocco $P3$, che é costituito da un invetitore realizzato in tecnologia CMOS pienamente complementare, i cui transistori hanno fattori di forma $S_N = 40$ e $S_P = 60$. Il circuito completo é rappresentato nella seguente figura. Con riferimento a tale circuito e al dimensionamento ricavato al quesito precedente per le porte logiche $P1$ e $P2$, si calcoli il ritardo totale di propagazione dei segnali A, B, C;