

Transistori MOS.

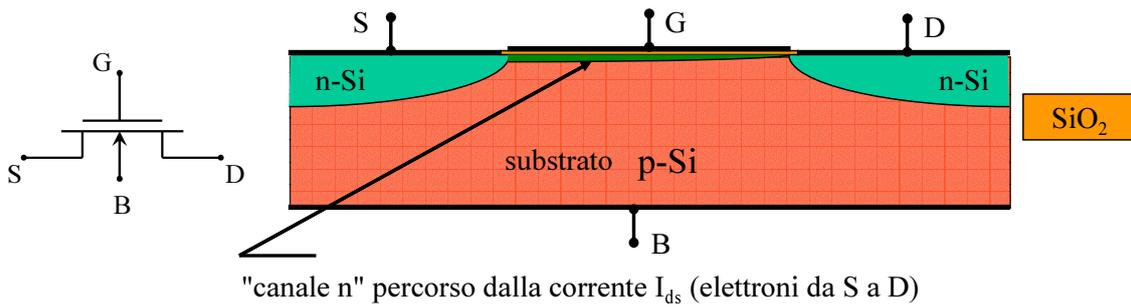


Fig. 1 - Struttura schematica di un transistor MOS a canale n .

I transistori MOS sono dispositivi a 4 terminali denominati **drain, gate, source, bulk (substrato)**. La struttura schematica di un MOST a canale n è rappresentata nelle figura 1. Le coppie di regioni B-S e B-D si comportano come diodi a giunzione p-n ma durante il funzionamento normale del dispositivo tali diodi sono sempre mantenuti a polarizzazione nulla o inversa, pertanto le correnti continue che li attraversano sono nulle o trascurabili. Nulla è pure la corrente continua di gate perché il sottile (piccole frazioni di μm) strato di ossido di silicio isola assai bene il gate metallico. Applicando a quest'ultimo una tensione positiva rispetto al bulk si attirano elettroni verso l'interfaccia Si - SiO₂ creando un canale conduttore fra drain e source e consentendo così che risulti ≥ 0 la corrente I_d entrante nel drain quando è ≥ 0 la tensione V_{ds} fra drain e source.

Sostituendo ordinatamente ad ogni regione n-Si una regione p-Si e viceversa, si ottiene il dispositivo **complementare** cioè il MOST a canale p .

Modelli per transistori MOS.

La misura di I_d in funzione di V_{ds} per diversi valori costanti della tensione V_{gs} e un unico valore costante (generalmente 0) della tensione V_{sb} dà luogo a caratteristiche statiche del tipo rappresentato nella figura 2 e il più semplice modello matematico, detto "di livello 1", che approssimativamente le interpreta consiste nelle seguenti relazioni:

$$\begin{cases} I_g = 0 \\ I_d = \begin{cases} 0 & \text{se } V_{gs} \leq V_{tn} & \text{(regione di interdizione)} \\ \frac{\beta}{2}[2(V_{gs} - V_{tn})V_{ds} - V_{ds}^2](1 + \lambda V_{ds}) & \text{se } \begin{cases} V_{gs} > V_{tn} \\ V_{ds} \leq V_{gs} - V_{tn} \text{ cioè } V_{dg} \geq -V_{tn} \end{cases} & \text{(regione "lineare" o "triode")} \\ \frac{\beta}{2}(V_{gs} - V_{tn})^2(1 + \lambda V_{ds}) & \text{se } \begin{cases} V_{gs} > V_{tn} \\ V_{ds} \geq V_{gs} - V_{tn} \text{ cioè } V_{dg} \leq -V_{tn} \end{cases} & \text{(regione di saturazione)} \end{cases} \end{cases} \quad (1)$$

Osservazioni e complementi sul modello del MOSFET.

- Nel modello appaiono 3 parametri, β , V_{tn} e λ .
- I valori del parametro β si esprimono in A/V^2 , esso dipende dalle dimensioni dell'elettrodo di gate del quale vengono abitualmente indicate con L la lunghezza nella direzione source-drain e con W la larghezza nella direzione ortogonale; si ha allora

$$\beta = k' \frac{W}{L} \quad (2)$$

ove l'ordine di grandezza del parametro k' , indicato talora con β' e in PSpice con KP, è $10^{-5} \text{A}/\text{V}^2$.

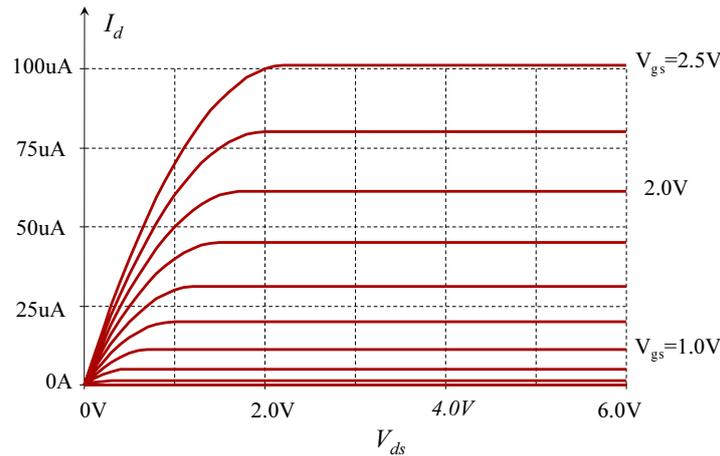


Fig. 2 - Caratteristiche statiche di un transistor *MOS* a canale *n*.

- Il parametro V_{tn} è in realtà una funzione della tensione source-bulk, con $V_{sb} = 0$ esso viene chiamato in PSpice VTO e i suoi valori si collocano generalmente intorno a mezzo volt.
- Il parametro λ ha le dimensioni dell'inverso di una tensione e i suoi valori vanno generalmente da qualche millesimo a qualche centesimo di V^{-1} ; si tratta di un parametro empirico che interpreta il fatto che aumentando la tensione drain-source si accorcia leggermente il canale conduttore e aumenta corrispondentemente la corrente; in molte analisi di prima approssimazione si assume $\lambda = 0$ e si dice allora che viene trascurata la "modulazione di canale". In tal caso le relazioni fondamentali del modello risultano semplicemente:

$$I_d = \begin{cases} \frac{\beta}{2}[2(V_{gs} - V_{tn})V_{ds} - V_{ds}^2] & \text{(regione "lineare" o "triodo")} \\ \frac{\beta}{2}(V_{gs} - V_{tn})^2 & \text{(regione di saturazione)} \end{cases} \quad (3)$$

- La regione di funzionamento del MOST più frequentemente desiderata per i circuiti analogici è quella di saturazione; in essa, assumendo $\lambda = 0$ e $V_{sb} = 0$, il modello si riduce a un trans-resistore nella cui relazione costitutiva $I_d = F(V_{gs})$ si ha

$$F(V_{gs}) = \begin{cases} 0 & \text{se } V_{gs} < V_{tn} \\ \frac{\beta}{2}(V_{gs} - V_{tn})^2 & \text{se } V_{gs} \geq V_{tn} \end{cases}$$

rappresentata graficamente nella figura 3.

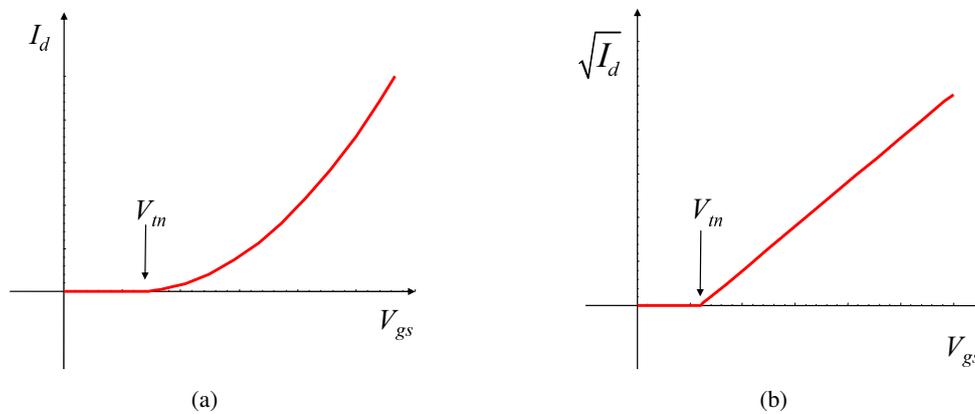


Fig. 3 - Grafici di a) $V_{gs} \rightarrow I_d$ e b) $V_{gs} \rightarrow \sqrt{I_d}$ per un transistorore *MOS* a canale *n* in saturazione.

MOSFET in regime di piccoli segnali.

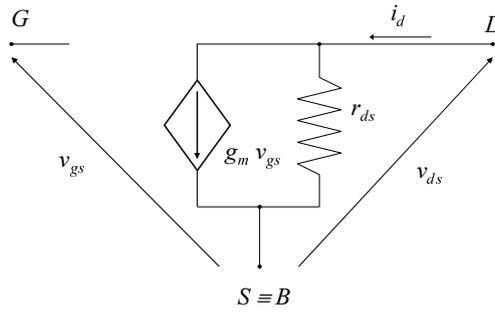


Fig. 4 - Circuito equivalente per piccoli segnali di un transistor MOS.

Linearizzando le relazioni del modello intorno ai valori di riposo si ricavano relazioni rappresentabili con il circuito equivalente per piccoli segnali di figura 4 nella quale

$$g_m = \begin{cases} 0 & \text{se } V_{gsOP} \leq V_{tn} \\ \beta V_{dsOP}(1 + \lambda V_{dsOP}) \simeq \beta V_{dsOP} & \text{se } V_{gsOP} > V_{tn} \text{ e } V_{dsOP} \leq V_{gsOP} - V_{tn} \\ \beta(V_{gsOP} - V_{tn})(1 + \lambda V_{dsOP}) = \sqrt{2\beta(1 + \lambda V_{dsOP})I_{dOP}} \simeq \beta(V_{gsOP} - V_{tn}) = \sqrt{2\beta I_{dOP}} & \text{se } V_{gsOP} > V_{tn} \text{ e } V_{dsOP} \geq V_{gsOP} - V_{tn} \end{cases} \quad (4a)$$

$$r_{ds} = \begin{cases} \infty & \text{se } V_{gsOP} \leq V_{tn} \\ \beta \left\{ (V_{gsOP} - V_{tn} - V_{dsOP})(1 + \lambda V_{dsOP}) + \lambda \left[(V_{gsOP} - V_{tn})V_{dsOP} - \frac{V_{dsOP}^2}{2} \right] \right\} \simeq \beta(V_{gsOP} - V_{tn} - V_{dsOP}) & \text{se } V_{gsOP} > V_{tn} \text{ e } V_{dsOP} \leq V_{gsOP} - V_{tn} \\ \frac{\lambda\beta}{2} (V_{gsOP} - V_{tn})^2 = \frac{\lambda I_{dOP}}{(1 + \lambda V_{dsOP})} \simeq \lambda I_{dOP} & \text{se } V_{gsOP} > V_{tn} \text{ e } V_{dsOP} \geq V_{gsOP} - V_{tn} \end{cases} \quad (4b)$$

Aggiornato al 28 dicembre 2004