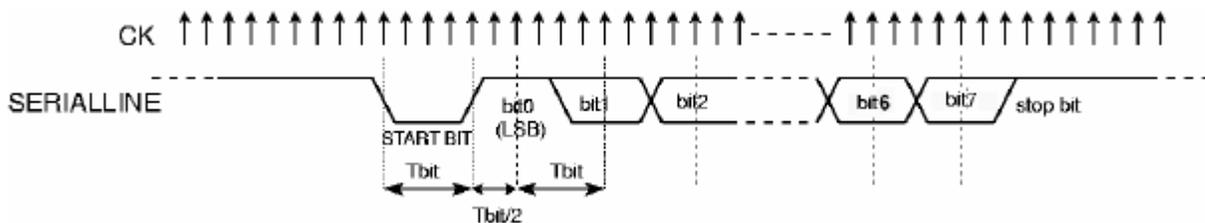


Prog. di Sistemi Elettronici LA/ Elettronica dei Sistemi Digitali LS Linguaggio VHDL 15 gennaio 2009

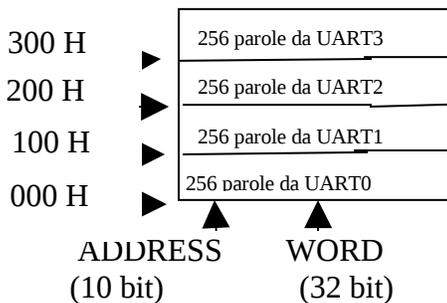
Un sistema a FPGA, funzionante a 100 KHz, è utilizzato per interfacciare una linea seriale a un dispositivo di memoria di 4Kbyte organizzato in parole da 32 bit.

La linea seriale trasmette segnali ad 8 bit secondo lo schema seguente. Il sistema deve campionare ogni bit in arrivo a metà del tempo di bit. La linea non attiva permane al valore '1'. L'inizio della trasmissione di un campione viene segnalato dalla linea seriale che va a '0' per Tbit (START BIT). Dopo la trasmissione di 8 bit la linea resta a '1' per almeno Tbit (STOP BIT).

Il sistema può interfacciarsi sulla stessa linea seriale SERIALLINE con quattro dispositivi esterni (UART0, UART1, UART2 e UART3) caratterizzati rispettivamente da *bit-rate* ($=1/T_{bit}$) di 10 KHz, 1 KHz, 100 Hz e 10 Hz.



La memoria esterna è organizzata in 4 banchi di 256 parole (una parola è costituita da 4 byte). Il primo banco (a partire dall'indirizzo 000 H) è destinato a memorizzare i dati provenienti da UART0. Il secondo (a partire da 100 H) i dati provenienti da UART1, il terzo (a partire dall'indirizzo 200 H) quelli provenienti da UART2 e, infine, il quadro (a partire dall'indirizzo 300 H) quelli provenienti da UART3.



L' interfaccia della rete di controllo da realizzare è la seguente:

```
entity CONTROLLORE is
port ( CLK      : in std_logic;
      RESET    : in std_logic;
      PROG     : in std_logic;
      SERIALLINE : in std_logic;
      CONFIG   : in unsigned(1 downto 0);
      NUM      : in unsigned(9 downto 0);
      READY0   : out std_logic;
      READY1   : out std_logic;
      READY2   : out std_logic;
      READY3   : out std_logic;
      WORD     : out unsigned(31 downto 0);
      ADDRESS  : out unsigned(9 downto 0));
end CONTROLLORE ;
```

Ogni ciclo di si compone di tre fasi:

fase 1) programmazione.

L'attivazione del segnale PROG indica che sui pin di ingresso CONFIG e NUM sono rispettivamente indicati il dispositivo con cui si deve interfacciare e il numero di byte che sarà successivamente trasmesso in sequenza secondo il protocollo seriale indicato nella figura precedente. Si assuma che il segnale PROG sia attivo per un solo ciclo di clock.

fase 2) acquisizione seriale e memorizzazione.

Terminata la fase di programmazione avrà inizio l'acquisizione seriale. Ogni quattro byte, la parola letta dovrà essere portata sui pin di uscita WORD per essere scritta nella memoria esterna all'indirizzo indicato sui pin di uscita ADDRESS.

fase 3) conclusione.

Il processo termina quando sono stati trasmessi il numero di byte specificato in fase di programmazione sui pin NUM. Il sistema segnala che il processo è terminato attivando il segnale di READY corrispondente al dispositivo UART corrispondente.

PARTE 1)

Progettare il sistema per interfacciarsi al solo dispositivo seriale UART0 (si assuma cioè CONFIG = 00).

PARTE 2)

Modificare il codice per avere la lettura completa dei dati provenienti dai quattro dispositivi UART. Si supponga comunque che ogni ciclo di acquisizione e scrittura in memoria relativo a un dispositivo UART debba concludersi prima che possa essere attivato un nuovo ciclo che coinvolge un dispositivo differente.