

Prog. di Sistemi Elettronici LA/ Elettronica dei Sistemi Digitali LS /LM Linguaggio VHDL 22 Aprile 2010

Un sistema a FPGA, funzionante a 1 kHz, è utilizzato per controllare la velocità di rotazione di un motore elettrico; in particolare tale sistema viene utilizzato come amplificatore a basso consumo per controllare il motore tramite una modulazione PWM (*Pulse Width Modulation*). Questo tipo di modulazione consiste nel fornire al motore da controllare una forma d'onda quadra caratterizzata da un *duty-cycle* proporzionale alla velocità di rotazione che si vuole ottenere. La rete inoltre gestisce l'accensione e lo spegnimento del motore.

Si progetti la rete di elaborazione caratterizzata dalla seguente interfaccia:

```
entity controllore is
  port ( CLK           : in std_logic;
         RESET        : in std_logic;
         START        : in std_logic;
         STOP         : in std_logic;
         SPEED_IN     : in unsigned(2 downto 0);
         SPEED_OUT    : out std_logic;
         MON          : out std_logic
        );
end controllore;
```

Parte 1) Programmazione

L'attivazione della rete avviene tramite il segnale di START; esso è un segnale ideale, ovvero ogni sua attivazione dura esattamente un solo ciclo di clock. Lo spegnimento della rete avviene invece in seguito all'attivazione del segnale STOP (anch'esso ideale). Durante la fase in cui la rete è disattiva tutte le uscite devono essere mantenute basse.

In concomitanza con l'attivazione di START (e solo in questo ciclo di clock) la rete riceve su SPEED_IN il valore della velocità di rotazione che si vuole ottenere dal motore; essa potrà assumere tre diversi valori:

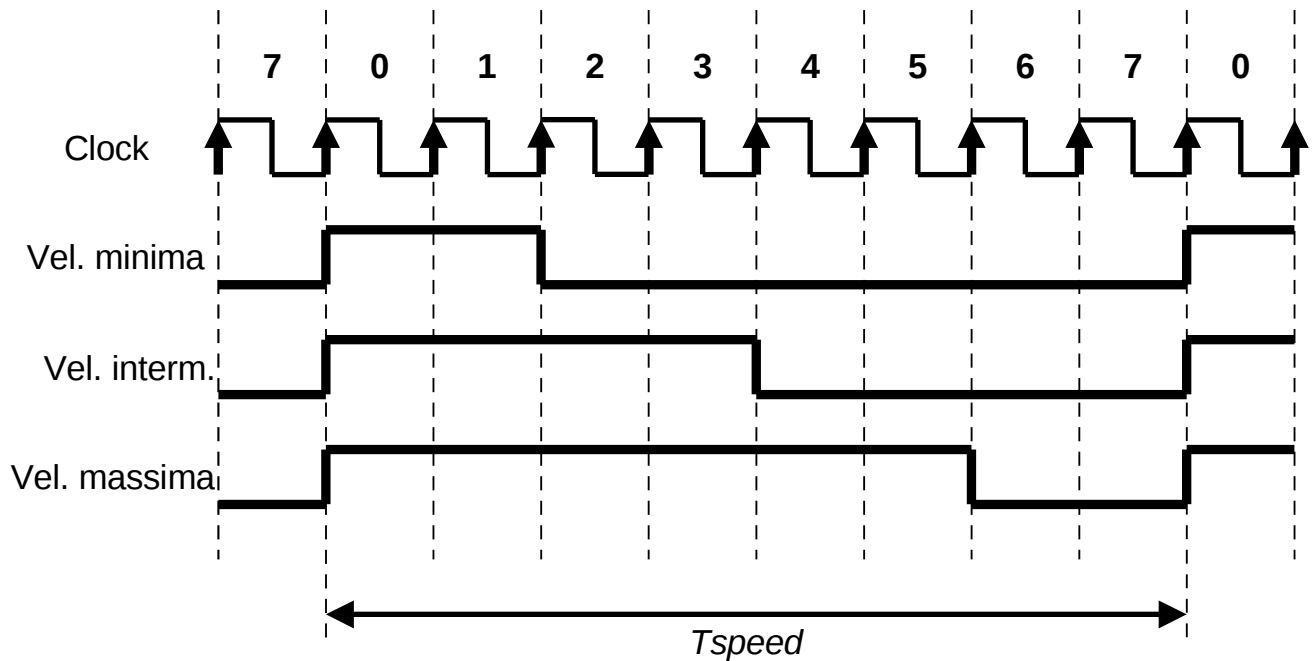
- "001" : corrispondente alla velocità di rotazione minima,
- "010" : corrispondente ad una velocità di rotazione intermedia,
- "100" : corrispondente alla velocità di rotazione massima.

Qualora SPEED_IN fosse diverso da uno di questi tre valori il sistema ignora la richiesta e rimane in attesa di una nuova attivazione di START, altrimenti procede all'accensione del motore attivando MON e mantenendolo alto fino alla disattivazione della rete (attivazione di STOP).

Si consideri non possibile l'attivazione di START e STOP contemporaneamente, e il valore di SPEED_IN valido solo nei cicli in cui START è attivo.

Parte 2) Controllo del motore

Per tutta la fase in cui il motore è acceso, la sua velocità di rotazione visualizzata su SPEED_OUT. Tale segnale è periodico e consiste in un onda quadra di periodo T_{speed} pari ad 8 cicli di clock con un *duty-cycle* proporzionale al valore della velocità desiderata. Qualora la velocità desiderata fosse quella minima il *duty-cycle* è del 25%, mentre del 50% per quella intermedia e del 75% per la velocità massima (vedi figura seguente).



Parte 3) Sintesi

Si indichino come commento nel file .vhd il numero di LE (Logic Element LE) e di Registri (Logic Cell LC Register) utilizzati per la sintesi e la massima frequenza di funzionamento del circuito (dalla specificando il dispositivo su cui è stata eseguita la sintesi (Processing -> Start Compilation).

IMP: E' necessario consegnare il codice VHDL (.vhd) e le forme d'onda (.vwf) di uscita che verificano il corretto funzionamento del circuito. Per salvare i risultati della simulazione (e sovrascrivere il file con le sole forme d'onda di ingresso) è sufficiente eseguire Processing->Simulation Debug->Overwrite Vector Inputs with Simulation Outputs.

Risolvere la seconda parte SOLO dopo avere consegnato il risultato corretto della simulazione della prima parte.

Risolvere la terza parte SOLO dopo avere consegnato il risultato corretto della simulazione della seconda parte.