

## **Prog. di Sistemi Elettronici LA/ Elettronica dei Sistemi Digitali LS**

### **Linguaggio VHDL 9 settembre 2008**

Un sistema a FPGA, funzionante a 1 KHz, è utilizzato per la gestione di un distributore automatico di bibite costituito da 4 distinte locazioni dotate di sistema a spirale metallica per il rilascio del prodotto. Il sistema è inoltre dotato di tastierino numerico per la programmazione del prezzo dei vari prodotti e per la scelta di essi, di un sensore in grado di rilevare l' avvenuto rilascio della bibita richiesta e di un apparato per la rilevazione del denaro inserito dall' utente e l'erogazione del resto. L' interfaccia della rete di controllo da realizzare è la seguente:

```
entity distributore is
  port ( CLK      : in std_logic;
        RESET    : in std_logic;
        PROGR    : in std_logic;
        MONEY_IN : in std_logic;
        REQ_IN   : in std_logic;
        DONE     : in std_logic;
        DATA_IN : in std_logic_vector(15 downto 0);

        MONEY_OUT : out std_logic;
        REQ_OUT    : out std_logic;
        DATA_OUT  : out std_logic_vector(15 downto 0));
end distributore;
```

All'attivazione del segnale PROGR il sistema entra in fase di programmazione e legge la parola presente su DATA\_IN, interpretando i 4 bit meno significativi come il prezzo in centesimi della bibita sita nella locazione 1, i successivi 4 come il prezzo della bibita nella locazione 2 e così via. A conferma dell' avvenuta lettura il sistema porta tutti bit di DATA\_OUT al valore alto per un ciclo di clock, ponendo così termine alla fase di programmazione. Si consideri non possibile in questa fase l'attivazione degli altri segnali di ingresso e che normalmente tutti i bit di DATA\_OUT siano al valore basso.

Durante la normale fase di funzionamento la rete di controllo ha notifica dell'inserimento di una moneta da parte dell'utilizzatore tramite l'attivazione del segnale MONEY\_IN, mentre il valore di essa è disponibile su DATA\_IN. Ovviamente il sistema deve essere in grado di gestire l' inserimento di più monete.

La richiesta di una bibita avviene tramite l'attivazione di REQ\_IN e la presenza su DATA\_IN dell' identificativo della locazione della bibita richiesta codificato dai due bit meno significativi. La rete quindi verifica la sufficienza del denaro presente, ed in caso affermativo attiva per un ciclo il segnale di

erogazione REQ\_OUT e scrive su DATA\_OUT l'identificativo della locazione in esame codificata tramite i due bit meno significativi. Al contrario se il denaro è insufficiente si rimane in attesa di una nuova richiesta (segnalata dall'attivazione di REQ\_IN) o di ulteriore moneta (segnalata dall'attivazione di MONEY\_IN).

Il distributore e' provvisto di un sensore di pressione che, una volta che la bevanda è stata erogata, attiva **per un ciclo di clock** il segnale DONE; la rete deve controllare che il segnale DONE sia portato alto entro 4 secondi dopo l'attivazione di REQ\_OUT. In caso affermativo si procede al rilascio del resto mediante l'attivazione di MONEY\_OUT e la scrittura dell'ammontare di esso su DATA\_OUT, altrimenti si procede alla restituzione di tutto il denaro inserito sempre mediante l'attivazione di MONEY\_OUT e la scrittura su DATA\_OUT dell'importo.

Si consegnino il file .VHD ed il file relativo alle forme d'onda d'uscita .vwf (in quartus una volta effettuata una simulazione è sufficiente dal menu Processing->Simulation Debug->Overwrite Vector Inputs with Simulation Outputs e consegnare il file di forme d'onda d'ingresso).

NB: indicare nome e cognome e numero di matricola come commento nel codice VHDL. Si ricorda che non sono più utilizzabili in sede d'esame dispositivi di archiviazione scrivibili, ovvero chiavette USB, floppy, etc., ma solo ed esclusivamente CD-ROM.