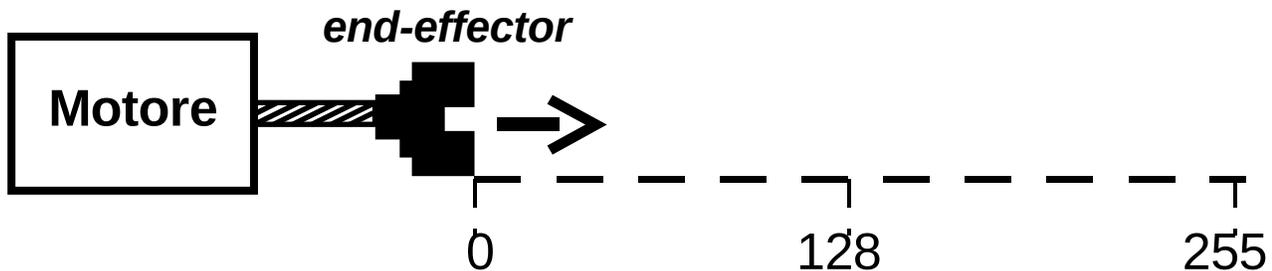


Prog. di Sistemi Elettronici LA Linguaggio VHDL 3 Giugno 2010

Un sistema a FPGA, funzionante a 1 kHz, è utilizzato per effettuare il controllo di posizione di un braccio meccanico in ambito industriale. In particolare la rete è in grado di abilitare o meno il funzionamento dell' unico motore del braccio meccanico (attuatore) e di conoscere la posizione dell'estremità del braccio (*end-effector*) tramite un sensore di posizione ivi collocato. L' *end-effector* può solo traslare lungo un unico asse fisso come illustrato in figura.



Si progetti la rete di elaborazione caratterizzata dalla seguente interfaccia:

```
entity controllore is
  port ( CLK           : in std_logic;
        RESET         : in std_logic;
        PROGR         : in std_logic;
        BUTTON        : in std_logic;
        POS_REF       : in unsigned(7 downto 0);
        POS_CORR      : in unsigned(7 downto 0);
        ERROR         : out unsigned(15 downto 0);
        PRENDI        : out std_logic;
        MON           : out std_logic
  );
end controllore;
```

Parte 1) Programmazione e controllo

L' attivazione della rete avviene tramite il segnale di PROGR; esso è un segnale ideale, ovvero ogni sua attivazione dura esattamente un solo ciclo di clock. Durante la fase in cui la rete è disattiva tutte le uscite (ERROR, PRENDI, MON) devono essere mantenute basse.

In concomitanza con l'attivazione di PROGR (e solo in questo ciclo di clock) la rete riceve su POS_REF la coordinata del punto in cui si vuole posizionare l'*end-effector*. A questo punto il sistema deve controllare il motore affinché l'*end-effector* venga portato nella posizione desiderata; per far questo la rete legge la posizione corrente dell' *end-effector* che le viene notificata dal sensore di posizione tramite il segnale POS_CORR, calcola l' errore di posizione come semplice differenza fra le due posizioni e lo visualizza su ERROR.

Qualora l' errore di posizione fosse diverso da zero la rete attiva il motore portando e mantenendo alto MON per:

- 10 secondi se l'errore di posizione è maggiore di 196;

- 8 secondi se l'errore di posizione è compreso tra 195 e 128;
- 6 secondi se l'errore di posizione è compreso tra 127 e 64;
- 4 secondi se l'errore di posizione è compreso tra 63 e 1.

La rete ripete iterativamente la procedura descritta (lettura POS_CORR, aggiornamento ERROR, attivazione del motore) fino a quando l'errore di posizione non diventa zero; quindi viene attivato per un ciclo di clock il segnale PRENDI, ed il braccio ritorna automaticamente nella posizione zero.

Eventuali attivazioni di PROGR mentre la rete è già sotto utilizzo sono semplicemente ignorate dal sistema. Il valore di POS_REF è imprevedibile quando PROGR è basso.

Il sensore lavora a frequenza nulla, quindi il valore su POS_CORR è valido solo quando l'*end-effector* è fermo, ovvero a motore spento (MON basso).

Parte 2) Visualizzazione

La rete di default visualizza su ERROR l'errore di posizione; qualora BUTTON si attivasse il sistema visualizza su ERROR invece la somma di tutti gli errori di posizione al momento calcolati. Qualora BUTTON venisse riattivato la rete torna a visualizzare l'errore di posizione e così via.

Ad ogni nuovo utilizzo del sistema (attivazione di PROGR) la rete visualizza l'errore di posizione indipendentemente dalla configurazione raggiunta nel precedente utilizzo della macchina.

Si consideri BUTTON un segnale ideale.

Parte 3) Sintesi

Si indichino come commento nel file .vhd il numero di LE (Logic Element LE) e di Registri (Logic Cell LC Register) utilizzati per la sintesi e la massima frequenza di funzionamento del circuito (dalla specificando il dispositivo su cui è stata eseguita la sintesi (Processing -> Start Compilation).

IMP:

E' necessario consegnare il codice VHDL (.vhd) e le forme d'onda (.vwf) di uscita che verificano il corretto funzionamento del circuito.

Per salvare i risultati della simulazione (e sovrascrivere il file con le sole forme d'onda di ingresso) è sufficiente eseguire Processing->Simulation Debug->Overwrite Vector Inputs with Simulation Outputs. A tal proposito **NON** si effettuerà la simulazione della rete in fase di valutazione dell'elaborato.

Risolvere la seconda parte SOLO dopo avere consegnato il risultato corretto della simulazione della prima parte.

Risolvere la terza parte SOLO dopo avere consegnato il risultato corretto della simulazione della seconda parte.

ISTRUZIONI PER SVOLGERE L'ESAME:

1. Creare il direttorio di lavoro c:\temp\CONTROLLORE
2. Aprire QUARTUS II ultima versione e creare un nuovo "project" che chiamerete CONTROLLORE nel direttorio che è stato creato
3. (LICENSE FILE: dall'ambiente QUARTUS II 5.0, nel menù tools-> license setup inserire nel campo license file: @flexlm.labx.) il passo 3 non è necessario per le versioni successive alla 8.1.

ISTRUZIONI PER LA CONSEGNA:

La consegna avverrà in formato elettronico. E' necessario aprire un browser web e collegarsi all'indirizzo:

<http://esamix.labx>

inizio -> parte1 -> consegna file

IMPORTANTE:

- 1) salvare al massimo ogni 15 minuti il proprio lavoro effettuando la consegna dei file .vhd e .vwf. I file salvati potranno essere cancellati, sovrascritti o recuperati se necessario (parte1-> consegna file)
- 2) chiudere il collegamento solo dopo avere consegnato la versione finale al termine della prova oppure dopo avere indicato l'intenzione di ritirarsi (fine)
- 3) per essere sicuri di avere di avere salvato il file corretto, prima della chiusura, analizzare la data e la dimensione del file e aprirlo.

Si consegnino il file .vhd ed il file relativo alle forme d'onda d'uscita .vwf (in Quartus una volta effettuata una simulazione è sufficiente eseguire Processing->Simulation Debug->Overwrite Vector Inputs with Simulation Outputs e consegnare il file di forme d'onda d'ingresso). A tal proposito **NON** si effettuerà la simulazione della rete in fase di valutazione dell'elaborato.

Indicare **nome e cognome e numero di matricola** come commento nel codice VHDL. Si ricorda che non sono utilizzabili in sede d'esame dispositivi di archiviazione scrivibili, ovvero chiavette USB, floppy, etc., ma solo ed esclusivamente CD-ROM.

Per accedere al sito web del tutore:

www-micro.deis.unibo.it -> staff -> PhD Students -> Tommaso De Marco

RISULTATI:

PROGETTO DI SISTEMI ELETTRONICI LA: entro mercoledì 9 giugno ore 19:00 all' indirizzo <http://www-micro.deis.unibo.it/cgi-bin/dida?~demarco//www/Dida02>