

Prog. di Sistemi Elettronici LA/ Elettronica dei Sistemi Digitali LS /LM Linguaggio VHDL 3 Febbraio 2010

Un sistema a FPGA, funzionante a 1 kHz, è utilizzato all'interno di un impianto industriale per elaborare i dati forniti da quattro distinte centraline di controllo (C_0, C_1, C_2 e C_3). In particolare tale sistema viene utilizzato dalle diverse centraline come un acceleratore hardware condiviso e programmabile; ciascuna centralina può quindi richiedere l'utilizzo di tale sistema al fine di effettuare operazioni matematiche sui dati da essa rilevati.

Si progetti la rete di elaborazione caratterizzata dalla seguente interfaccia:

```
entity controllore is
  port ( CLK           : in std_logic;
        RESET         : in std_logic;
        REQ           : in std_logic;
        CODE          : in unsigned(7 downto 0);
        DATA_IN      : in unsigned(7 downto 0);
        RESULT        : out unsigned(15 downto 0);
        BUSY          : out std_logic;
        CID           : out unsigned(1 downto 0)
  );
end controllore;
```

Parte 1) Acquisizione dei dati

All'attivazione il sistema rimane in attesa della richiesta di utilizzo da parte di una delle centraline C_i, che avviene mediante l'attivazione del segnale REQ.

In concomitanza all'attivazione di REQ e per tutta la durata in cui esso è alto, la centralina in esame rende disponibile sui pin CODE un vettore ad 8 bit contenente le seguenti informazioni:

- il bit 7 il tipo di operazione richiesta,
- i bit 6-5 la centralina che effettua la richiesta,
- i bit 4-0 il numero di dati da acquisire (1 dato = 1 byte).

Il segnale REQ viene mantenuto alto dalla centralina in esame fino a quando il sistema non notifica l'avvenuta ricezione della richiesta attivando il segnale BUSY. Il segnale di BUSY indica infatti che il sistema ha ricevuto ed accettato una richiesta e, di conseguenza, dovrà essere mantenuto attivo fino al completamento della procedura richiesta (acquisizione ed elaborazione dei dati). Per tutta la durata in cui BUSY è attivo il sistema mantiene su CID l'identificativo della centralina che ha richiesto l'operazione.

Una volta che il controllore ha attivato BUSY, la centralina invia in sequenza tramite DATA_IN i dati da elaborare; in particolare ogni dato viene mantenuto sulla porta di ingresso per 9 cicli di clock.

Completata l'acquisizione, il sistema di controllo disattiva BUSY e rende disponibile su RESULT il risultato dell'elaborazione fino al successivo calcolo di un nuovo risultato.

Ai fini della simulazione, in questa prima parte si consideri la fase di elaborazione come un semplice campionamento dell'ultimo dato inviato dalla centralina.

Si consideri non possibile che una delle centraline attivi REQ mentre BUSY è alto, oppure che due o più centraline effettuino una richiesta contemporaneamente.

Parte 2) Elaborazione dei dati

Il sistema deve essere in grado di svolgere due tipi di operazioni, in base al valore del bit più significativo di CODE. Quando vale zero il sistema deve calcolare il valor medio dei dati ricevuti dalla centralina in esame (il numero è ovviamente definito dai bit 4-0 di CODE e per semplicità si consideri che esso sia sempre una potenza di 2).

Qualora invece il bit maggiore di CODE vale uno la rete deve effettuare un semplice prodotto dei dati ricevuti; in questo caso si consideri per semplicità che il numero di dati sia sempre uguale a due.

Parte 3) Sintesi

Si indichino come commento nel file .vhd il numero di LE (Logic Element LE) e di Registri (Logic Cell LC Register) utilizzati per la sintesi e la massima frequenza di funzionamento del circuito (dalla specificando il dispositivo su cui è stata eseguita la sintesi (Processing -> Start Compilation).

IMP: E' necessario consegnare il codice VHDL (.vhd) e le forme d'onda (.vwf) di uscita che verificano il corretto funzionamento del circuito. Per salvare i risultati della simulazione (e sovrascrivere il file con le sole forme d'onda di ingresso) è sufficiente eseguire Processing->Simulation Debug->Overwrite Vector Inputs with Simulation Outputs.

Risolvere la seconda parte SOLO dopo avere consegnato il risultato corretto della simulazione della prima parte.

Risolvere la terza parte SOLO dopo avere consegnato il risultato corretto della simulazione della seconda parte.

IMP: operatore di concatenazione "&" per effettuare divisioni per potenze di 2. Es: $out = in / 2^4$
`out <= "0000"∈`