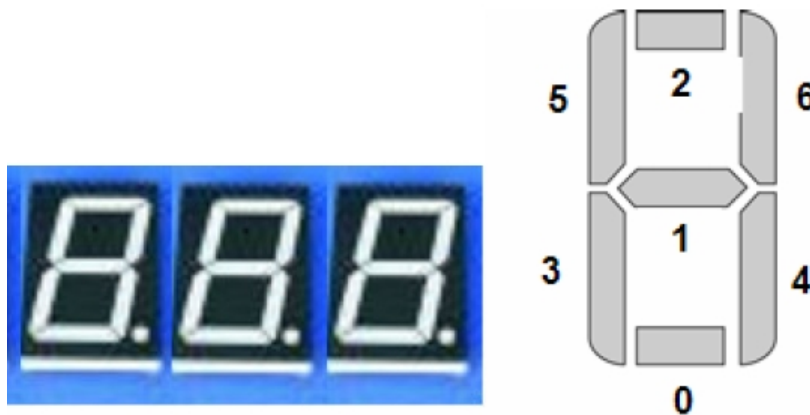


Elettronica dei Sistemi Digitali LS Linguaggio VHDL 2 aprile 2009

Un sistema a FPGA, funzionante a 1 KHz, è utilizzato per realizzare una centralina per il controllo dell'attività veicolare in un casello autostradale. In particolare tale sistema si troverà ad operare in un casello d'uscita al km 250 di un' autostrada, e dovrà controllare la sbarra metallica che regola il passaggio ed un sistema di 3 display a 7 segmenti luminosi (DISPLAY_0,DISPLAY_1,DISPLAY_2). Ogni display si compone di 7 segmenti luminosi, ognuno dei quali viene acceso pilotando basso il corrispondente segnale di controllo DISPLAY_X(i), secondo lo schema in figura.



Il sistema è inoltre dotato di un sistema di lettura di ticket autostradali e per l'inserimento di denaro.

L' interfaccia della rete di controllo da realizzare è la seguente:

```
entity CONTROLLORE is
  port ( CLK      : in std_logic;
        RESET    : in std_logic;
        KM_IN    : in std_logic_vector( 7 downto 0);
        MONEY_IN  : in std_logic;
        MONEY_DATA : in std_logic_vector( 7 downto 0);

        DISPLAY_0 : out std_logic_vector(6 downto 0);
        DISPLAY_1 : out std_logic_vector(6 downto 0);
        DISPLAY_2 : out std_logic_vector(6 downto 0);
        RESTO    : out std_logic_vector( 7 downto 0);
        LOCK     : out std_logic );
end CONTROLLORE ;
```

L'attività di funzionamento della rete può essere schematizzata nelle seguenti fasi:

Fase 1) L'inserimento di un ticket comporta l'attivazione della rete; in particolare il sistema di lettura dei ticket notifica alla rete di controllo per mezzo del segnale KM_IN il kilometro in cui l'automobilista è entrato nell'autostrada. L'informazione viene mantenuta sul segnale KM_IN per un solo ciclo di clock, dopo il quale il segnale ritorna alla configurazione di default 0x0.

Fase 2) La rete deve calcolare l'importo da pagare in base al numero di km percorsi e visualizzare tale valore sul display luminoso (a partire dalla cifra meno significativa sul DISPLAY_0). Tale valore dovrà essere mantenuto sui display fino a quando non avviene il pagamento dovuto, cioè al termine della fase 4. Si consideri per semplicità la cifra di 1 euro al km.

Fase 3) L'inserimento di denaro da parte dell'automobilista viene notificato alla rete per mezzo dell'attivazione del segnale MONEY_IN, e contemporaneamente sul segnale MONEY_DATA ne viene fornito l'ammontare. L'attivazione di MONEY_IN dura un solo ciclo di clock ad ogni inserimento di denaro, quindi ritorna a zero. Il valore presente su MONEY_DATA è invece di norma indeterminato, tranne nei cicli di clock in cui MONEY_IN è attivo.

Ovviamente il sistema dovrà essere in grado di gestire l'inserimento di più monete.

Fase 4) Una volta che è stata raggiunta la cifra sufficiente per il pagamento la rete dovrà calcolare l'eventuale resto e notificare per un ciclo di clock tale valore per mezzo del segnale RESTO, che normalmente dovrà essere tenuto a zero. Quindi si procederà ad azzerare il valore presente sui display dalla fase 2 e ad abilitare il transito alzando la sbarra metallica. La sbarra viene alzata portando a zero per 10 cicli di clock il segnale LOCK, che normalmente deve essere invece mantenuto al valore alto.