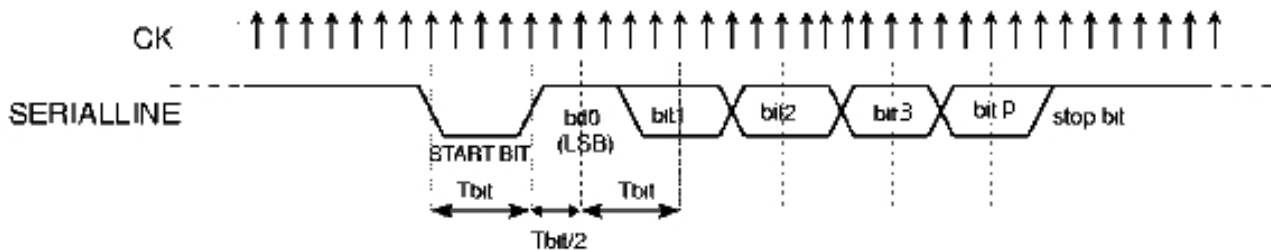


Prog. di Sistemi Elettronici LA / Elettronica dei sistemi digitali LS-M Linguaggio VHDL 22 Giugno 2010

Un sistema a FPGA, funzionante a 10 kHz, è utilizzato per implementare la procedura di riconoscimento di un cliente di uno sportello bancomat. Il sistema è dotato di una porta seriale per l'acquisizione dei dati immessi dall'utente tramite l'inserimento della tessera magnetica personale.

Il sistema è inoltre dotato di un comune tastierino numerico per l'immissione di una password numerica.

La porta seriale lavora con una bit-rate di 1 kbit/s, e data la natura dei dati in esame, effettua un controllo sui bit ricevuti tramite bit di parità. La linea trasmette segnali a 4 bit secondo lo schema seguente. Il sistema deve campionare ogni bit in arrivo a metà del tempo di bit. La linea non attiva permane al valore '1'. L'inizio della trasmissione di un campione viene segnalato dalla linea seriale che va a '0' per un periodo di bit (START BIT). Dopo la trasmissione dei 4 bit viene inviato un bit di parità (P-BIT) per un periodo di bit, dopodiché la linea resta a '1' per almeno un periodo di bit (STOP BIT). Il P-BIT è uno se il numero di bit alti inviati è pari, 0 se dispari.



Si progetti la rete di elaborazione caratterizzata dalla seguente interfaccia:

```
entity controllore is
  port ( CLK           : in std_logic;
        RESET         : in std_logic;
        SERIALINE      : in std_logic;
        PASSWORD       : in unsigned(9 downto 0);
        ERROR_P        : out std_logic;
        ERROR_PW       : out std_logic;
        CARD_OUT       : out std_logic;
        ID_USER        : out unsigned(11 downto 0);
        OK              : out std_logic;
        CODE_REQ       : out std_logic
  );
end controllore;
```

Parte 1) Lettura tessera magnetica

L'introduzione di una tessera magnetica da parte di un utente comporta l'attivazione della linea seriale SERIALINE. L'interfaccia infatti legge l'identificativo dell'utente memorizzato nella memoria flash della carta e lo invia alla rete tramite la porta seriale. L'identificativo è costituito da 3 cifre esadecimali che sono inviate in sequenza tramite 3 trasmissioni **distinte**, e, una volta acquisite, vengono visualizzate su ID_USER e ivi mantenute fino al termine dell'operazione da parte dell'utente. La rete effettua il controllo di parità su ognuna delle tre cifre ricevute, e qualora anche solo su una di essa si verificasse un errore (P-BIT ricevuto diverso da quello calcolato), la rete attiva il segnale ERROR_P

per un ciclo di clock e comanda la restituzione della tessera magnetica attivando CARD_OUT per 5 secondi.

Parte 2) Lettura della password

Una volta avvenuto il riconoscimento della scheda magnetica, la rete completa la procedura di riconoscimento effettuando il controllo della password. Questa procedura comincia con l'attivazione da parte del sistema di CODE_REQ per un ciclo di clock; a questo punto la rete aspetta per 5 secondi che sulla porta PASSWORD (che di default è a zero) sia presente il codice immesso dall'utente tramite il tastierino numerico. Per semplicità ai fini della simulazione si consideri che solo tre utenti possano accedere allo sportello utilizzando le seguenti credenziali:

1. utente A: identificativo X"12A", password "128";
2. utente B: identificativo X"34B", password "256";
3. utente C: identificativo X"56C", password "512".

Qualora la password introdotta sia errata, o comunque non arrivi entro i 5 secondi successivi all'attivazione di CODE_REQ, la rete attiva per un ciclo di clock ERROR_PW e comanda la restituzione della tessera magnetica attivando CARD_OUT per 5 secondi. Viceversa la rete notifica l'avvenuto riconoscimento attivando il segnale OK e riporta a zero tutti i bit di ID_USER.

Parte 3) Sintesi

Si indichino come commento nel file .vhd il numero di LE (Logic Element LE) e di Registri (Logic Cell LC Register) utilizzati per la sintesi e la massima frequenza di funzionamento del circuito specificando il dispositivo su cui è stata eseguita la sintesi (Processing -> Start Compilation).

IMP:

E' necessario consegnare il codice VHDL (.vhd) e le forme d'onda (.vwf) di uscita che verificano il corretto funzionamento del circuito.

Per salvare i risultati della simulazione (e sovrascrivere il file con le sole forme d'onda di ingresso) è sufficiente eseguire Processing->Simulation Debug->Overwrite Vector Inputs with Simulation Outputs. A tal proposito **NON** si effettuerà la simulazione della rete in fase di valutazione dell'elaborato.

Risolvere la seconda parte SOLO dopo avere consegnato il risultato corretto della simulazione della prima parte.

Risolvere la terza parte SOLO dopo avere consegnato il risultato corretto della simulazione della seconda parte.

ISTRUZIONI PER SVOLGERE L'ESAME:

1. Creare il direttorio di lavoro c:\temp\CONTROLLORE
2. Aprire QUARTUS II ultima versione e creare un nuovo "project" che chiamerete CONTROLLORE nel direttorio che è stato creato
3. (LICENSE FILE: dall'ambiente QUARTUS II 5.0, nel menù tools-> license setup inserire nel campo license file: @flexlm.labx.) il passo 3 non è necessario per le versioni successive alla 8.1.

ISTRUZIONI PER LA CONSEGNA:

La consegna avverrà in formato elettronico. E' necessario aprire un browser web e collegarsi all'indirizzo:

<http://esamix.labx>

inizio -> parte1 -> consegna file

IMPORTANTE:

- 1) salvare al massimo ogni 15 minuti il proprio lavoro effettuando la consegna dei file .vhd e .vwf. I file salvati potranno essere cancellati, sovrascritti o recuperati se necessario (parte1-> consegna file)
- 2) chiudere il collegamento solo dopo avere consegnato la versione finale al termine della prova oppure dopo avere indicato l'intenzione di ritirarsi (fine)
- 3) per essere sicuri di avere di avere salvato il file corretto, prima della chiusura, analizzare la data e la dimensione del file e aprirlo.

Si consegnino il file .vhd ed il file relativo alle forme d'onda d'uscita .vwf (in Quartus una volta effettuata una simulazione è sufficiente eseguire Processing->Simulation Debug->Overwrite Vector Inputs with Simulation Outputs e consegnare il file di forme d'onda d'ingresso). A tal proposito **NON** si effettuerà la simulazione della rete in fase di valutazione dell'elaborato.

Indicare **nome e cognome e numero di matricola** come commento nel codice VHDL. Si ricorda che non sono utilizzabili in sede d'esame dispositivi di archiviazione scrivibili, ovvero chiavette USB, floppy, etc., ma solo ed esclusivamente CD-ROM.

Per accedere al sito web del tutore:

www-micro.deis.unibo.it -> staff -> PhD Students -> Tommaso De Marco

RISULTATI:

PROGETTO DI SISTEMI ELETTRONICI LA: entro lunedì 28 giugno 2010 ore 19:00 all'indirizzo:

<http://www-micro.deis.unibo.it/cgi-bin/dida?~demarco//www/Dida02>

ELETTRONICA DEI SISTEMI DIGITALI LS-M: entro lunedì 28 Giugno ore 15