

Prog. di Sistemi Elettronici LA / Elettronica dei sistemi digitali LS-M Linguaggio VHDL 14 Settembre 2010

Un sistema a FPGA, funzionante a 1 KHz, è utilizzato per controllare il sistema frenante di una automobile dotata di ABS (Anti Block System) a 4 vie, ovvero con controllo separato di ogni ruota. Un sistema ABS serve ad impedire il bloccaggio delle ruote in caso di eccessiva frenata, evitando così lo slittamento dell'auto; se durante una frenata una delle ruote si blocca, il sistema ABS ne rilascia il freno per un breve periodo di tempo, quindi lo riattiva per lo stesso periodo e così via procedendo quindi ad una frenata impulsiva invece che continua.

Poiché il sistema ABS comporta un maggiore logoramento degli elementi meccanici dei freni, viene attivato solo se il livello della frenata è maggiore di un valore di soglia.

Su ogni ruota è montato un sensore on-off che notifica alla rete ogni qualvolta viene effettuato un giro completo, mentre sul pedale del freno un sensore di pressione rileva il livello della frenata.

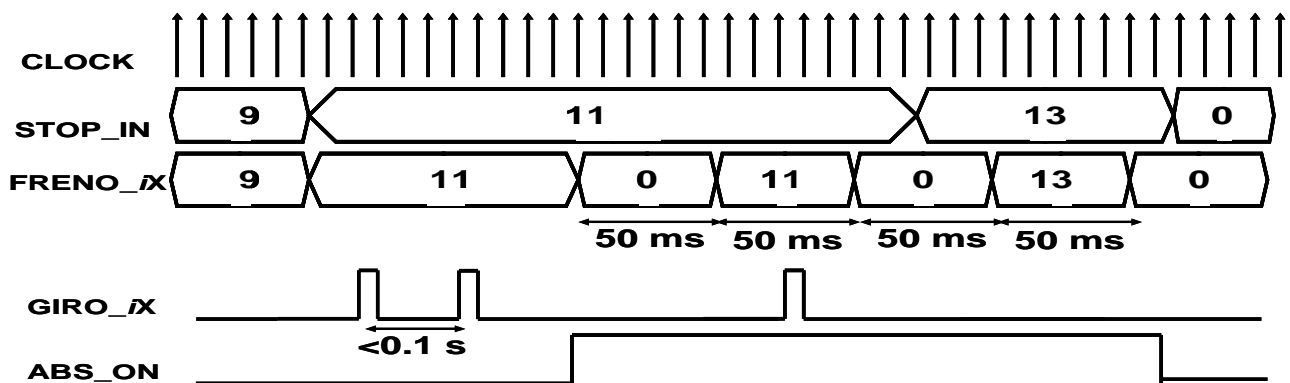
Si progetta la rete di elaborazione caratterizzata dalla seguente interfaccia, dove per semplicità il controllo avviene solo sulle ruote anteriori (DX e SX) e il livello di una frenata e la conseguente forza applicata dai freni alle ruote viene rappresentato tramite una grandezza a 4 bit, dove "0" indica nessuna frenata e "15" massima frenata:

```
entity controllore is
  port ( CLK           : in std_logic;
        RESET         : in std_logic;
        GIRO_DX       : in std_logic;
        GIRO_SX       : in std_logic;
        STOP_IN       : in unsigned(3 downto 0);
        SOGLIA_PROG   : in std_logic;
        ABS_ON        : out std_logic;
        SOGLIA        : out unsigned(3 downto 0);
        FRENO_DX      : out unsigned(3 downto 0);
        FRENO_SX      : out unsigned(3 downto 0));
end controllore;
```

Parte 1) Controllo dei freni

Il sistema frenante si attiva in seguito alla pressione sul pedale da parte dell'autista; il sensore ivi presente notifica alla rete il livello desiderato di frenata tramite STOP_IN. Per tutta la durata in cui il pedale viene premuto su STOP_IN è presente il valore corrente di frenata, quindi se la forza applicata dall'autista sul pedale varia STOP_IN ne segue l'andamento; ovviamente a pedale non premuto corrisponde STOP_IN a zero.

Il funzionamento della modalità di frenata è illustrato in figura. Quando il livello richiesto di frenata è minore del valore di soglia "10" la rete semplicemente si limita a riportare sulle uscite che controllano i freni (FRENO_iX) il valore di STOP_IN. Se invece il livello di frenata è superiore o uguale alla soglia la rete deve essere in grado di attivare l'ABS qualora fosse necessario; per far questo essa calcola la velocità di rotazione delle ruote utilizzando i segnali GIRO_iX. Questi ultimi sono generati dai sensori posizionati sulle ruote e si attivano per un solo ciclo di clock ogni qualvolta la ruota in esame compie un giro. Se l'intervallo fra due attivazioni successive di GIRO_iX è minore di 1/10 s la rete continua a visualizzare STOP_IN su FRENO_iX. Se l'intervallo fra due attivazioni di GIRO_iX è invece maggiore di 1/10 s, la rete considera ferma la ruota iX (condizione di slittamento) e forza sul



corrispondente FRENO_iX alternativamente il valore corrente di STOP_IN e 0 ciascuno per una durata di 50 ms. Per tutta la durata in cui la frenata di una o entrambe le ruote viene assistita con l'ABS la rete mantiene alto ABS_ON.

Una volta attivato il controllo ABS è insensibile a successive attivazioni di GIRO_iX, e termina solo quando la pressione sul pedale del freno cessa (STOP_IN a zero.

Il valore di soglia, in questa fase costante, viene sempre visualizzato sui pin SOGLIA, sia che sia in atto o meno una frenata. Il valore su SOGLIA_PROG viene ignorato.

Parte 2) Programmazione della rete

La rete può essere programmata dall'utente per lavorare con valori di soglia diversi. Questo avviene per mezzo del pulsante ideale SOGLIA_PROG la cui attivazione comporta il passaggio dallo stato di funzionamento a soglia fissa appena descritto ad uno a soglia variabile e viceversa.

Il valore SOGLIA viene portato a zero appena la rete entra in questa modalità di funzionamento, per poi essere aggiornato, ogni volta che l'ABS si attiva su una delle due ruote, calcolando il valor medio tra il valore di STOP_IN e il valore corrente di soglia. Il sistema di controllo dovrà quindi ora agire in funzione del valore aggiornato della soglia. Il valore della soglia viene sempre visualizzato sulla porta SOGLIA.

Parte 3) Sintesi

Si indichino come commento nel file .vhd il numero di LE (Logic Element LE) e di Registri (Logic Cell LC Register) utilizzati per la sintesi e la massima frequenza di funzionamento del circuito (dalla specificando il dispositivo su cui è stata eseguita la sintesi (Processing -> Start Compilation).

IMP:

E' necessario consegnare il codice VHDL (.vhd) e le forme d'onda (.vwf) di uscita che verificano il corretto funzionamento del circuito.

Per salvare i risultati della simulazione (e sovrascrivere il file con le sole forme d'onda di ingresso) è sufficiente eseguire Processing->Simulation Debug->Overwrite Vector Inputs with Simulation Outputs. A tal proposito **NON** si effettuerà la simulazione della rete in fase di valutazione dell'elaborato.

Risolvere la seconda parte SOLO dopo avere consegnato il risultato corretto della simulazione della prima parte.

Risolvere la terza parte SOLO dopo avere consegnato il risultato corretto della simulazione della seconda parte.