

Prog. di Sistemi Elettronici LA/ Elettronica dei Sistemi Digitali LS

Linguaggio VHDL 10 dicembre 2008

Un sistema a FPGA, funzionante a 1 KHz, è utilizzato per realizzare una centralina di controllo del livello di inquinamento dell'aria all'interno di una zona particolarmente trafficata. Il sistema è dotato di

- un sensore in grado di rilevare la concentrazione delle polveri sottili nell'area di interesse e di notificare il valore misurato al sistema a FPGA per mezzo di un segnale ad 8 bit (LIVELLO),
- di un pannello costituito da 3 led per la notifica del livello di inquinamento rilevato controllato dal segnale LED.

I led sono di diverso colore, uno verde controllato dal bit meno significativo del segnale LED, uno giallo controllato dal secondo bit ed uno rosso controllato dal terzo e più significativo bit.

L'interfaccia della rete di controllo da realizzare è la seguente:

```
entity CONTROLLORE is
  port ( CLK      : in std_logic;
        RESET    : in std_logic;
        VALID    : in std_logic;
        OK       : in std_logic;
        GUASTO   : in std_logic;
        LIVELLO  : in unsigned(7 downto 0);

        TEST     : out std_logic;
        REQ      : out std_logic;
        LED      : out unsigned(2 downto 0);
        MEDIA    : out unsigned(7 downto 0));
end CONTROLLORE ;
```

Parte 1) All'attivazione della centralina, che avviene dopo il rilascio del segnale di RESET, il sistema effettua un controllo preliminare del funzionamento del sensore attivando il segnale TEST e rimanendo in attesa dell'esito della verifica. Qualora la verifica fosse negativa (attivazione del segnale GUASTO), il sistema disattiva il segnale TEST, e rimane in questa configurazione indefinitamente. Qualora invece la verifica andasse a buon fine (attivazione del segnale OK), il sistema disattiva il segnale TEST e entra nella fase di funzionamento normale. Si supponga che l'attivazione dei segnali OK e GUASTO duri un solo ciclo di clock e che i due segnali non possano essere attivi contemporaneamente.

Durante il normale funzionamento il sensore deve effettuare una misura del livello di inquinamento ogni minuto. Il sistema richiede al sensore di effettuare una misura attivando per un ciclo di clock il segnale REQ, e rimane in attesa dell'attivazione del segnale VALID, il quale indica che sul segnale LIVELLO è presente la misura effettuata dal sensore. Si consideri che il segnale VALID si attivi sempre entro un minuto dall'istante in cui viene effettuata una richiesta di lettura, e che esso rimanga attivo per un solo ciclo di clock. Una volta effettuate quattro misurazioni il sistema calcola il valore medio di esse, e riporta il valore medio sui pin MEDIA.

Parte 2) Controllo dei LED

In base al valore medio calcolato, il sistema attiva i led di uscita agendo sul segnale LED. Se il livello di inquinamento medio è minore del valore di soglia minimo la rete accende il led verde (che corrisponde al bit meno significativo di LED), se è compreso tra il valore di soglia minimo e massimo viene acceso il led giallo (che corrisponde al bit di peso 1 di LED), mentre se è maggiore del valore di soglia massimo il led rosso (bit più significativo di LED). Il led scelto deve rimanere attivo per tutti e quattro i minuti successivi necessari all'esecuzione di un nuovo ciclo di misure ed elaborazione.

Se durante la fase iniziale di test si rivela una condizione di guasto il sistema deve attivare tutti e tre i led. Al reset del sistema e durante l'intero primo ciclo di normale funzionamento tutti i led dovranno essere spenti.

Si consideri un valore di soglia minimo pari a 0x80 ed un valore di soglia massimo pari a 0xC0 (le soglie sono rappresentate in codifica esadecimale).

Parte 3) Misura dell'intervallo di tempo durante il quale è stato superato il livello massimo di soglia

Il sistema inoltre dovrà fornire sempre in uscita sul segnale

REDMIN: out unsigned(7 downto 0);

il numero di minuti in cui il valor medio di inquinamento calcolato ha superato il valore di soglia massimo.