

ELETTRONICA DEI SISTEMI DIGITALI

La unita' di lettura della memoria di un piccolo microprocessore ha la seguente interfaccia

Clk,reset : in Std_logic
Micro_Address : in Std_logic_vector(15 downto 0)
Micro_Data : out Std_logic_vector(15 downto 0)
Micro_mr : in Std_logic
Ready : out Std_logic

Mem_Address : out Std_logic_vector(15 downto 0)
Mem_Data : in Std_logic_vector(15 downto 0)
Mem_mr : out Std_logic

In seguito ad una richiesta del Micro (Micro_mr = '1') l'unita' deve attivare un ciclo di lettura sulla memoria, attivando sul bus della memoria l'indirizzo corretto ed alzando il segnale Mem_mr. A seconda dell'indirizzo specificato e' necessario attendere un certo numero di stadi di wait per permettere a diversi tipi di memorie di rispondere alla richiesta della unita': al termine di questi stati di wait il valore letto verra' campionato su un registro interno e portato sul bus Micro_Data dove restera' fino alla lettura seguente. Finche' l'unita' e' impegnata in una operazione il segnale ready e' = '0' e il microprocessore e' congelato, non potendo effettuare altre richieste.

Il tempo di accesso alla memoria dipende dai due bit piu' alti dell'indirizzo secondo la tabella seguente:

a(15)	a(14)	Tempo di lettura Minimo
0	0	8 ns
0	1	24 ns
1	0	75 ns
1	1	100 ns

Si mappi la unita' descritta su FPGA Altera proponendo una possibile frequenza di funzionamento.