

Matr.

Nome:

# Progetto di Sistemi Elettronici/Architetture di Sistemi Integrati

Prova del 25 Giugno 2002

Si vuole realizzare un blocco di Multiply-Accumulation per la elaborazione di numeri complessi:  
Il dispositivo avrà le seguenti porte di I/O :

clk,res,en	in	Std_logic
Ar	in	Unsigned(4 downto 0)
Ai	in	Unsigned(4 downto 0)
Br	in	Unsigned(4 downto 0)
Bi	in	Unsigned(4 downto 0)
Yr	out	Unsigned(?? downto 0)
Yi	out	Unsigned(?? downto 0)

## Parte 1

Si realizzi un blocco logico che esegua una moltiplicazione tra due numeri complessi A,B.  
Se ne descriva una versione puramente combinatoria ed una "a pipeline".  
Si dimensiona la ampiezza dei segnali intermedi e delle porte di uscita in modo da non avere alcuna perdita di informazione  
Si riporti poi nel seguito le prestazioni dei due modelli realizzati:

1. Uscita corrispondenti agli ingressi  $A_1 = 3 + 4i$  ,  $B_1 = 5 + 2i$  ,  $Y_1 =$

Uscita corrispondenti agli ingressi  $A_2 = 2 + 3i$  ,  $B_2 = 1 + 2i$  ,  $Y_2 =$

2. Soluzione Puramente Combinatoria:

Massimo Ritardo sul percorso critico:

L.C. occupate:

3. Soluzione a Pipeline:

Massimo Ritardo sul percorso critico:

L.C. occupate

## Parte 2

Si individui una delle due soluzioni giustificando brevemente la scelta progettuale, e si realizzi un blocco di Multiply-Accumulation basato su essa. L'interfaccia di I/O del blocco dovrà essere quella specificata in precedenza. Si determini infine:

1. L'uscita corrispondente alla coppia di ingressi elencati al punto precedente
2. Il dispositivo e la famiglia logica utilizzata
3. Il numero di Logic Cells e di FF utilizzati
4. La massima frequenza di funzionamento (od il minimo periodo) ottenuta
5. La latenza (numero di cicli tra ingresso n-esimo ed uscita n-esima) ottenuta