

13 Gennaio 2004

PROVA SCRITTA di PROGETTO di CIRCUITI in VHDL

Si vuole realizzare su FPGA altera un circuito che abbia la seguente interfaccia di I/O

```
entity cognome is
port( clk,reset,enable : in std_logic;
      address_in       : in unsigned(7 downto 0);
      command_in       : in std_logic_vector(1 downto 0);
      address_out       : out unsigned(7 downto 0) );
      memory_read      : out std_logic;
end cognome;
```

Il circuito dovrà realizzare la unità di gestione degli indirizzi di un dispositivo DMA (Direct Memory Access).

In pratica, il dispositivo dovrà generare indirizzi per accessi di lettura in memoria, a seconda dei comandi specificati dall'ingresso "command_in"

"00" => No operation, il dispositivo deve restare in uno stato "idle" e in uscita presentare l'indirizzo convenzionale "1111 1111".

"01" => Program address: Se e solo se il sistema si trova nello stato idle, e solo in corrispondenza a questo comando, deve essere campionato in un registro interno il valore presente su addr_in che farà da base per il prossimo accesso.

"10" => Single access: Si dovrà eseguire un solo ciclo di lettura durante il quale viene prodotto l'indirizzo specificato durante l'ultima programmazione. Al ciclo seguente il sistema torna nello stato "idle" a prescindere dal successivo valore specificato in ingresso.

"11" => Burst: Viene eseguita una serie di letture consecutive aumentando ad ogni ciclo il valore dell'indirizzo specificato di una unità. Il sistema continua ad eseguire letture fino a che l'ingresso non torna ad "00". Ogni altra variazione degli ingressi è ignorata.

Memory read deve essere attivo (basso, = '0') solo durante i cicli di lettura e inattivo (alto, = '1') durante il restante funzionamento.

Si verifichi in simulazione la correttezza del sistema.

Infine si descriva, sotto forma di commento nel file VHDL

- 1) Il dispositivo e la famiglia di FPGA utilizzate
- 2) Il numero di F/F e di Logic Cells utilizzate
- 3) Il massimo tempo di setup degli ingressi
- 4) Il massimo ritardo tra ingressi ed uscite (Specificando le porte interessate)
- 5) Il massimo ritardo registro/registo verificato
- 6) La frequenza massima di funzionamento del circuito

Al completamento della prova dovranno essere consegnati i soli files VHDL e SCF.

Per la consegna, si utilizzi il sito <http://192.168.61.254/tolia>