

Progetto di Sistemi Elettronici/Architetture di Sistemi Integrati

Prova Parziale, 11 Giugno 2002

Un meccanismo per la regolazione degli ingressi in un laboratorio didattico, basato su badge di riconoscimento, ha la struttura seguente:

Ingressi

1. Codicein: Numero intero ad 8-bit identificativo della persona entrante, che viene determinato in base al badge. I primi due bit identificano il ruolo della persona entrante:

- 00 ⇒ Studente
- 01 ⇒ Laureando
- 10 ⇒ Tecnico o docente
- 11 ⇒ Addetto alla manutenzione

Codicein = 00000000 e' un valore convenzionale per indicare che nessuna persona sta richiedendo l'ingresso.

2. Codiceout: Numero intero ad 8-bit identificativo della persona uscente. Tecnici e docenti sono obbligati a passare sempre il proprio badge, anche in uscita. Questo segnale rappresenta l'uscita di una persona appartenente a tale categoria dalla sala. Per le altre categorie questo segnale non ha alcuna rilevanza, perché non sono obbligate a passare il badge in uscita.
3. Orario: Numero intero da 0 a 23 che descrive l'ora del giorno (collegato ad un orologio esterno)
4. Eslibera: Interruttore che fissato ad '1' segnala un periodo di esercitazione libera.

Uscite

1. Apri: Interruttore di apertura della porta del laboratorio:
 - '1' ⇒ Aperta
 - '0' ⇒ Chiusa

Il funzionamento del sistema deve essere il seguente: Il laboratorio e' aperto dalle 9 alle 19. Gli addetti alla manutenzione possono entrare solo durante L'orario di chiusura. Tecnici e docenti possono entrare solo durante l'orario di apertura. I laureandi possono entrare durante l'orario di apertura purché sia presente almeno un tecnico o docente. Gli studenti possono entrare solo se e' presente un tecnico o docente e sono iscritti al corso correntemente prenotato. La porta deve venire aperta se si e' riconosciuta una persona abilitata, ed il segnale di apertura deve restare alto per un intero

intervallo di clock!!! Durante i periodi di esercitazioni libere la porta rimane aperta e la presenza di almeno un tecnico e' garantita. Si consideri che data la frequenza elevata di funzionamento ad ogni clock possa variare uno solo tra gli ingressi.

Si realizzi su FPGA ALTERA una entity che implementi il sistema descritto

1. Si descriva un semplice diagramma a stati che rappresenti il comportamento del circuito

2. Si determini la massima frequenza di funzionamento del circuito $F_{max} =$

3. Si descriva la famiglia logica, il dispositivo FPGA utilizzato ed il numero di logic cells necessarie alla implementazione del circuito:

Fam. Logica:

Dispositivo:

L.C.:

4. Si descriva il numero di F/Fs implementati sul circuito nel processo di sintesi.

F/Fs: