Matr. Nome:

# Progetto di Sistemi Elettronici/Architetture di Sistemi Integrati

**Prova Parziale, 11 Giugno 2002**

Si consideri il filtro impulsivo a risposta finita (F.I.R.) a 3 coefficienti descritto dalla equazione seguente:

$$Y(k) = \sum_{k=0}^{2} A_k * X_{n-k}$$

Rappresentando il numero $X_{n-k}$ con codifica binaria (4 bits), si ottiene

$$X_{n-k} = \sum_{j=0}^{3} b_{j,(n-k)} * 2^j$$

da cui segue

$$Y(k) = \sum_{k=0}^{2} A_k * \sum_{j=0}^{3} b_{j,(n-k)} * 2^j$$

$$Y(k) = \sum_{k=0}^{2} \sum_{j=0}^{3} [A_k * b_{j,(n-k)}] * 2^j$$

e, invertendo le due sommatorie

$$Y(k) = \sum_{j=0}^{3} [\sum_{k=0}^{2} A_k * b_{j,(n-k)}] * 2^j$$

Il termine tra le parentesi quadre, dipendente solo dal j-esimo bit degli ingressi X, puo' essere descritto (secondo le regole della Aritmetica distibuita) attraverso una look-up table i cui valori sono descritti nella tabella seguente:

| $b_j(n)$ | $b_j(n-1)$ | $bj(n-2)$ | $LUT(b_j(n), b_j(n-1), b_j(n-2))$ |
|---|---|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | $A_2$ |
| 0 | 1 | 0 | $A_1$ |
| 0 | 1 | 1 | $A_1 + A_2$ |
| 1 | 0 | 0 | $A_0$ |
| 1 | 0 | 1 | $A_0 + A_2$ |
| 1 | 1 | 0 | $A_0 + A_1$ |
| 1 | 1 | 1 | $A_0 + A_1 + A_2$ |

Osservando che la moltiplicazione per $2^j$ puo' essere implementata attraverso uno shift a sinistra della rappresentazione binaria del numero l'operazione F.I.R. puo' essere implementata hardware attraverso la operazione

$$Y(k) = \sum_{j=0}^{3} SHIFTL_j(LUT(b_j(n, ..n-k)))$$

*Si realizzi e si implementi su FPGA ALTERA una entity FIR che implementi la operazione secondo il metodo descritto, con un canale di ingresso unsigned a 4 bits ed una uscita unsigned ad 8.*
**Suggerimento:** La operazione di shift puó essere implementata con ingresso a 4 bits ed uscita ad 8 bits attraverso l'operatore di concatenamento tra vettori '&': $SHIFTL_1$ (A) = "000"&A&'0'.

1. Si descriva un semplice schema a blocchi del circuito

2. Fissati A2=1 A1=2 A0=1 si descriva lo stream di valori di uscita Y corrispondente al seguente stream di valori di ingresso: X(n) = {0,1,0,1,2,0,1}:

   Y(n)= {  }

3. Si determini la massima frequenza di funzionamento del curcuito $F_{max} =$

4. Si descriva la famiglia logica, il dispositivo FPGA utilizzato ed il numero di logic cells necessarie alla implementazione del circuito:

   *Fam. Logica* *Dispositivo* *L.C.*

5. Si descriva il numero di F/Fs implementati sul circuito nel processo di sintesi.

   *F/Fs:*