

Circuiti Elettronici Digitali LA

Prima Prova Intermedia

Esercizio 1

1. Usando il modello a canale lungo di un transistor MOS di tipo n , scrivere l'espressione analitica dei parametri di piccolo segnale quando opera in regione lineare e in saturazione.

$$g_m = \begin{cases} \beta_n V_{DS}, & \text{Lineare;} \\ \beta_n (V_{GS} - V_{T0}), & \text{Saturazione.} \end{cases}$$
$$g_d = \begin{cases} \beta_n [(V_{GS} - V_{T0}) - V_{DS}], & \text{Lineare;} \\ \lambda_n I_D, & \text{Saturazione.} \end{cases}$$
$$g_{mb} = \eta g_m$$

$$g_m = g_{mb} = g_d = 0 \quad \text{quando il transistor è spento;}$$

2. Completare la tabella determinando i parametri β , λ , γ e V_{T0} del modello del transistor sapendo che si tratta di valori ottenuti da un dispositivo a canale n , per il quale $V_{SB} = 0V$ e $2|\varphi_F| = 0.5V$.

$I_D (\mu A)$	$g_m (\mu S)$	$g_d (\mu S)$	$g_{mb} (\mu S)$	$V_{GS}(V)$	$V_{DS}(V)$	Reg. Funzionamento
99	132	4.95	19.8	2	2	Saturo
150	120	7.5	18	2.5	1.5	Lineare
0	0	0	0	0.40	2.5	Spento

$$\beta = \frac{g_m}{V_{DS}} = \frac{120}{1.5} = 80 \mu A/V$$

$$\lambda = \frac{g_d}{I_D} = \frac{4.95}{99} = 0.05 V^{-1}$$

$$\eta = \frac{g_{mb}}{g_m} = \frac{18}{120} = 0.15$$

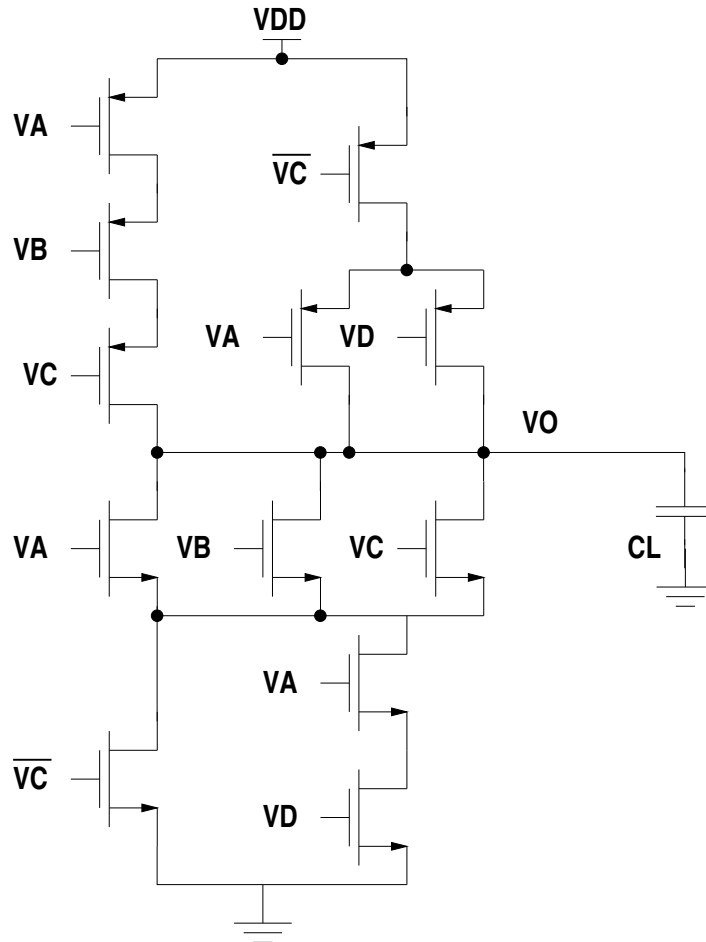
$$\gamma = 2\eta\sqrt{2\varphi_F} = 0.21\sqrt{V}$$

$$V_{T0} = V_{GS} - \sqrt{\frac{2I_D}{\beta(1 + \lambda V_{DS})}} = 0.5V$$

Esercizio 2

1. Disegnare il circuito CMOS pienamente complementare che realizza la funzione logica

$$F = (A + B + C) \cdot (\overline{C} + AD)$$



Si consideri come **unico effetto reattivo significativo** quello rappresentato dal condensatore di capacità $C_L = 500\text{fF}$ collegato al nodo di uscita.

2. Individuare la configurazione dei segnali di ingresso che rappresenta il caso peggiore per il transitorio di scarica della capacità C_L .

$(V_A, V_B, V_C, V_D) = (1, 0, 1, 1)$ **caso peggiore perché ha il fattore di forma equivalente $S_{neq} = \frac{2}{5}S_n$ inferiore.**

3. Individuare la configurazione dei segnali di ingresso che rappresenta il caso peggiore per il transitorio di carica della capacità C_L .

$(V_A, V_B, V_C, V_D) = (0, 0, 0, x)$ **caso peggiore perché ha il fattore di forma equivalente $S_{peq} = \frac{1}{3}S_p$ inferiore.**

4. Supponendo che tutti i transistori della rete di pull-down siano progettati con lo stesso fattore di forma $S_n = W_n/L_{min}$ così come quelli della rete di pull-up abbiano tutti lo stesso valore $S_p = W_p/L_{min}$, usando i valori dei parametri tecnologici riportati nella Tabella, dimensionare il circuito in modo che

$t_{pHL} = t_{pLH} \leq 10ns$ per ogni configurazione di ingresso possibile.

$$\begin{aligned}
 t_{pHL} = t_{pLH} &= 0.69R_{neq}C_L = 0.69R_{peq}C_L \\
 R_{neq} &= R_{peq} \\
 \frac{R'_n}{S_{neq}} &= \frac{R'_p}{S_{peq}} \\
 S_n &\cong 0.4 \\
 S_p &\cong 1
 \end{aligned}$$

Esercizio 3

1. Determinare l'espressione analitica del valore della tensione di soglia logica $V_A = V_B = V_{SL} = V_O$ di un gate NAND CMOS a due ingressi realizzato con transistori aventi fattori di forma S_n e S_p .

$$V_{SL} = \frac{V_{Tn} + 2\sqrt{\frac{\beta_p}{\beta_n}}(V_{DD} + V_{Tp})}{1 + 2\sqrt{\frac{\beta_p}{\beta_n}}}$$

2. Calcolare come deve essere scelto il rapporto $\alpha = S_p/S_n$ fra i fattori di forma dei transistori perché si abbia $V_{SL} = V_{DD}/2$.

$$\alpha = 1/2$$

3. Disegnare la caratteristica di trasferimento del NAND progettato al punto (2) nel caso in cui $V_A = V_B$, indicando le diverse regioni di funzionamento dei transistori nelle varie regioni del piano $V_O, V_A = V_B$.

Parametri tecnologici ($V_{DD} = 3.3V$)

	n-channel	p-channel
V_{TO}	$0.7V$	$-0.7V$
β'	$100\mu A/V^2$	$50\mu A/V^2$
C_{ox}	$3.45 \text{ fF}/\mu m^2$	$3.45 \text{ fF}/\mu m^2$
L_{min}	$0.35\mu m$	$0.35\mu m$
λ	0	0
γ	0	0
$\Phi = 2\varphi_F$	$0.6V$	$0.6V$
R' (per $S = 1$)	$5k\Omega$	$10k\Omega$