

# Esercitazione del 16 Giugno 2009

## Es. 1 - Progetto memoria ROM

1) Progettare una memoria ROM a NOR (ad esclusione dei decoder di riga) che memorizzi le seguenti quattro parole di quattro bit:

$W_0$	0 1 0 1
$W_1$	1 0 1 0
$W_2$	1 1 1 1
$W_3$	0 0 0 0

Nelle memorie ROM a NOR, ciascuna bit line è permanentemente connessa all'alimentazione da una rete di pull-up costituita da un unico  $pMOS$  sempre acceso: memorizza quindi, di default, un valore logico alto. Se la parola che si vuole programmare contiene degli zeri, occorre inserire un transistor  $nMOS$  di pull-down nelle bit line corrispondenti. Tale transistor sarà abilitato quando si vuole leggere quella parola, mediante un opportuno segnale di word line ( $WL$ ), e scaricherà la bit line, implementando il valore logico basso. Può essere letta una sola parola alla volta, quindi al più una  $WL$  può essere attiva in ogni istante. Nel caso in esame le parole sono costituite da 4 bit, quindi si avranno 4 bit line. Inoltre si vogliono memorizzare quattro parole, perciò occorreranno altrettanti segnali di  $WL$ . La ROM si realizza in definitiva come mostrato in Fig. 1.

2) Verificare che il circuito in Fig. 2 realizza un decoder per la ROM progettata al punto precedente.

Calcoliamo le quattro funzioni logiche realizzate dal circuito in Fig. 2, osservando che il  $NAND$  e il secondo invertitore ( $I_2$ ) formano, nel loro complesso, un

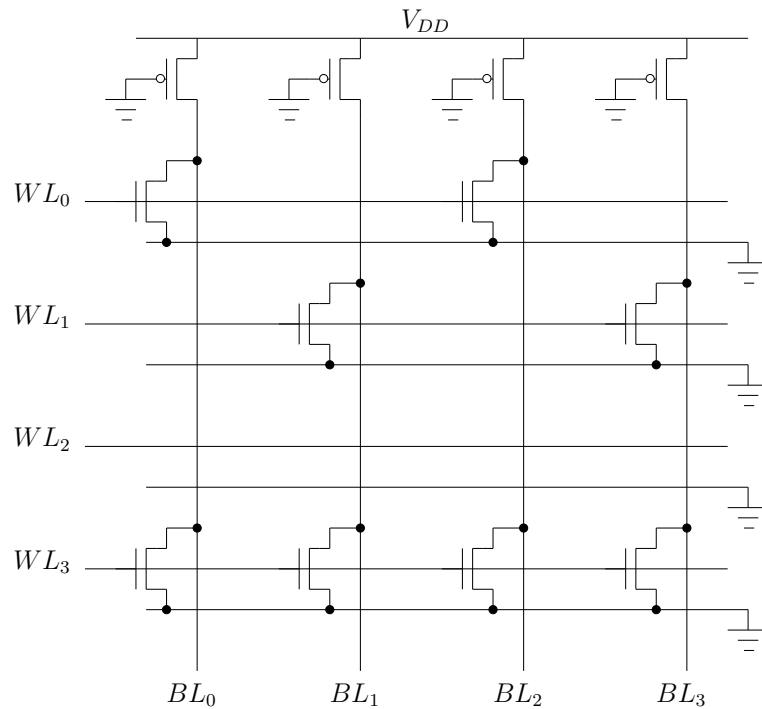


Figura 1: Es. 1 - Realizzazione della memoria ROM richiesta.

AND:

$$WL_0 = \overline{(\overline{B})} \cdot \overline{(\overline{A})} = A \cdot B$$

$$WL_1 = \overline{(\overline{B})} \cdot \overline{A} = \overline{A} \cdot B$$

$$WL_2 = \overline{B} \cdot \overline{(\overline{A})} = A \cdot \overline{B}$$

$$WL_3 = \overline{B} \cdot \overline{A} = \overline{A} \cdot \overline{B}$$

La corrispondente tabella della verità è la seguente:

$B$	$A$	$WL_0$	$WL_1$	$WL_2$	$WL_3$
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Il circuito in esame realizza quindi una conversione da codifica binaria a codifica  $1/N$  ( $N = 4$  nel nel nostro caso): ogni configurazione binaria degli ingressi attiva una e una sola  $WL$ , permettendo così di indirizzare la parola associata nella memoria ROM. Quindi il circuito funge effettivamente da decoder per la

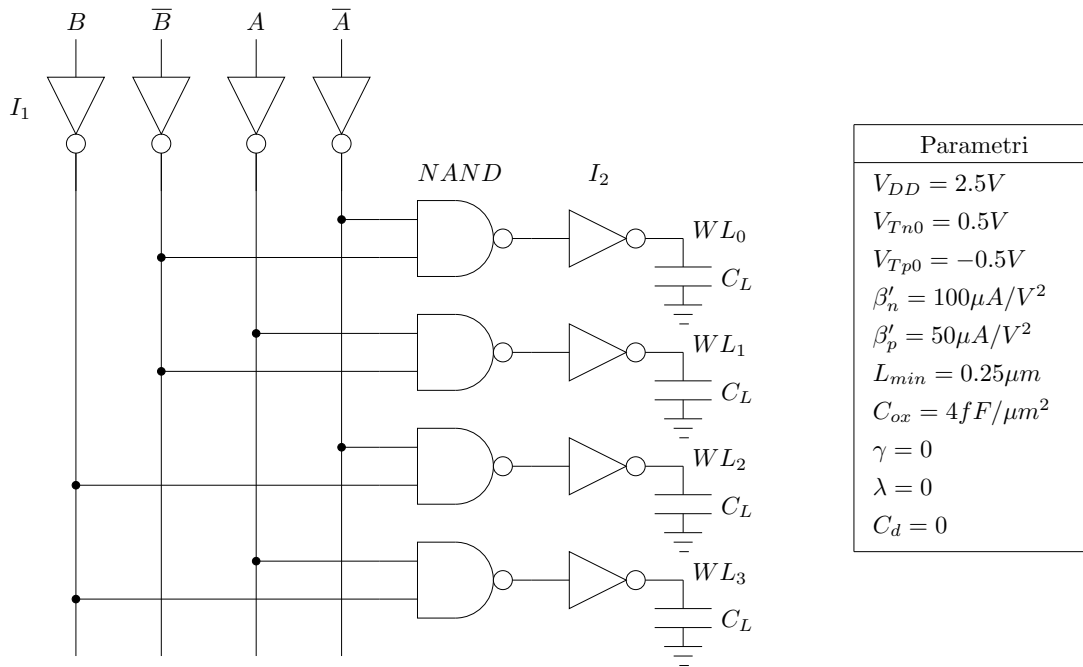


Figura 2: Es. 1 - Decoder.

memoria progettata.

3) Supponendo accessibili i segnali  $A$  e  $B$  sia in forma vera che in forma negata e che  $C_L = 20fF$ , dimensionare il decoder in modo che:

- $t_{p,HL} = t_{p,LH}$  in ogni stadio,
- $C_{in} = 4fF$  per  $I_1$ ,
- sia minimizzato il ritardo di propagazione totale.

La condizione di simmetria dei tempi di propagazione per lo stadio  $I_1$  si traduce nell'equazione:

$$\beta'_n S_1 = \beta'_p \alpha_1 S_1 \Rightarrow \alpha_1 = \frac{\beta'_n}{\beta'_p} = 2$$

La stessa cosa si avrà per lo stadio  $I_2$ , quindi anche  $\alpha_2 = 2$ . Per il NAND, invece, la carica avviene, nel caso peggiore, attraverso un solo  $pMOS$ , mentre la scarica coinvolge necessariamente la serie di due  $nMOS$ . Si ha quindi  $t_{p,HL} =$

$t_{p,LH}$  se:

$$\beta'_n \frac{S_{NAND}}{2} = \beta'_p \alpha_{NAND} S_{NAND} \Rightarrow \boxed{\alpha_{NAND} = \frac{\beta'_n}{2\beta'_p} = 1}$$

L'informazione sulla capacità d'ingresso permette di completare il dimensionamento dello stadio  $I_1$ :

$$C_{in} = C_{ox} L^2 S_1 (1 + \alpha_1) \Rightarrow \boxed{S_1} = \frac{C_{in}}{C_{ox} L^2 (1 + \alpha_1)} \boxed{= 5.33}$$

Il tempo di propagazione totale è minimo quando i ritardi attraverso i tre stadi sono uguali. Dobbiamo dunque imporre:

$$\begin{aligned} t_{p,1} &= t_{p,2} = t_{p,3} \\ \frac{2C_{out,1}}{\beta'_n S_1} \cdot f_f &= \frac{2C_{out,NAND}}{\beta'_n \frac{S_{NAND}}{2}} \cdot f_f = \frac{2C_L}{\beta'_n S_2} \cdot f_f \end{aligned}$$

$C_{out,1}$  è la capacità di carico del primo stadio (trascuriamo le componenti intrinseche perché  $C_d = 0$ ). Poiché l'uscita di ogni invertitore  $I_1$  è collegata all'ingresso di due  $NAND$ , tale capacità sarà il doppio della capacità associata a ciascun ingresso del  $NAND$ :

$$C_{out,1} = 2C_{ox} L^2 S_{NAND} (1 + \alpha_{NAND}) = 4C_{ox} L^2 S_{NAND}$$

dove si è sfruttato il fatto che  $\alpha_{NAND} = 1$ . Invece il carico di ogni  $NAND$  è un invertitore  $I_2$ , quindi:

$$C_{out,NAND} = C_{ox} L^2 S_2 (1 + \alpha_2) = 3C_{ox} L^2 S_2$$

Sostituendo si ottiene dall'uguaglianza dei tempi di propagazione attraverso i tre stadi:

$$\frac{4C_{ox} L^2 S_{NAND}}{S_1} = \frac{6C_{ox} L^2 S_2}{S_{NAND}} = \frac{C_L}{S_2}$$

che corrisponde ad un sistema di due equazioni indipendenti nelle due incognite  $S_{NAND}$  e  $S_2$ , la cui soluzione è:

$$\left\{ \begin{array}{l} \boxed{S_{NAND} = 9.48} \\ \boxed{S_2 = 11.24} \end{array} \right.$$

## Es. 2 - Memorie DRAM

1) Con riferimento al circuito in Fig. 3, calcolare la variazione  $\Delta V_{BL}$  della tensione sulla bit line a seguito di un accesso alla cella in lettura.

L'operazione di lettura di una cella di memoria DRAM è preceduta dalla precarica della bit line al valore  $V_{PRE}$  (nel caso in esame pari a  $V_{DD}/2$ ). In seguito il circuito di precarica viene disattivato, cosicché  $BL$  si trovi in alta impedenza, e la cella viene indirizzata attivando il segnale di word line ( $WL = V_{DD}$ ): a questo punto si ha una redistribuzione di carica tra  $C_{BL}$  e  $C_C$  che determina una variazione della tensione  $V_{BL}$  rispetto al valore di precarica. Il segno di questa variazione permette di stabilire quale era il valore logico memorizzato nella cella (nel nostro caso  $V_C = 0V$ ). Per determinare l'esito dell'operazione di lettura dobbiamo quindi imporre la conservazione della carica sul nodo isolato compreso tra le armature superiori dei due condensatori. Inizialmente la tensione sul drain di  $M_1$  è  $V_{BL,in} = V_{PRE}$ , mentre quella sul source è  $V_{C,in} = 0V$ ; a seguito della redistribuzione di carica,  $V_{BL}$  scende, mentre  $V_C$  sale, finché le due tensioni raggiungono uno stesso valore  $V_f$  e la corrente sul transistor si annulla essendo  $V_{DS} = 0V$  (in questo caso non è possibile che il transistor si spenga perché la sua  $V_{GS}$  sarà sempre maggiore di  $V_{DD}/2$ ). Si ha quindi:

$$\begin{aligned} Q_{TOT,in} &= Q_{TOT,fin} \\ C_C V_{C,in} + C_{BL} V_{BL,in} &= (C_C + C_{BL}) V_f \\ C_C \cdot 0 + C_{BL} V_{PRE} &= (C_C + C_{BL}) V_f \\ V_f &= \frac{C_{BL}}{C_{BL} + C_C} V_{PRE} \\ &= \frac{7500 fF}{(7500 + 60) fF} 2.5V = 2.48V \end{aligned}$$

La variazione di tensione sulla bit line a seguito della lettura è dunque:

$$\boxed{\Delta V_{BL}} = V_f - V_{BL,in} = 2.48V - 2.5V = \boxed{-20mV}$$

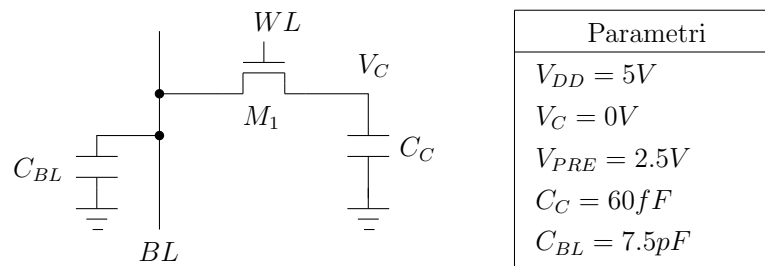


Figura 3: Es. 2.1 - Cella di memoria DRAM analizzata.

Il segno negativo indica che la cella memorizzava un valore logico basso. La lettura effettuata ha però distrutto l'informazione immagazzinata nella locazione di memoria, in quanto la tensione  $V_C$  è salita da  $0V$  a  $V_f = 2.48V$ . Occorre dunque un'operazione di refresh per ripristinare il dato corretto: a tal fine, un sense amplifier deve amplificare la differenza  $\Delta V_{BL}$  scaricando completamente la bit line, cosicché anche  $C_C$  venga scaricata, riscrivendo nella cella il valore logico basso.

2) Si consideri ora lo stato di memorizzazione di un valore logico alto. Assumendo che la corrente di perdita associata alle giunzioni del transistor  $M_1$  valga  $I_{leak} = 10fA$ , calcolare dopo quanto tempo  $\Delta t$  l'informazione memorizzata nella cella ha subito un degrado  $\Delta V_C = -100mV$ .

Le giunzioni drain-bulk e source-bulk di un transistor  $MOS$  sono diodi polarizzati in inversa, e quindi caratterizzati da una piccola corrente di perdita pari alla corrente di saturazione inversa del diodo. Tale corrente scarica progressivamente la capacità di memorizzazione della cella DRAM, determinando un degrado dell'informazione immagazzinata. La situazione è rappresentata schematicamente in Fig. 4, dalla quale si deduce che il transitorio di scarica della capacità  $C_C$  è governato dalla seguente equazione differenziale:

$$I_{leak} = -C_C \frac{dV_C}{dt}$$

Poiché la scarica avviene a corrente  $I_{leak}$  costante, si può sostituire la derivata con un rapporto incrementale:

$$I_{leak} = -C_C \frac{\Delta V_C}{\Delta t} \Rightarrow \boxed{\Delta t} = -\frac{C_C}{I_{leak}} \Delta V_C \boxed{= 0.6s}$$

Nel caso di memorizzazione di un valore logico alto, quindi, la tensione  $V_C$  diminuisce di  $100mV$  ogni  $0.6s$ : la memoria dinamica richiede dunque che l'informazione sia periodicamente rinfrescata affinché non venga distrutta da questo fenomeno di perdita.

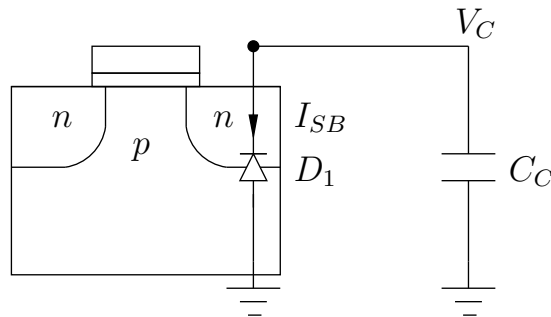


Figura 4: Es. 2.2 - Correnti di perdita.

3) Con riferimento al circuito in Fig. 5, calcolare la tensione  $V_C$  all'istante  $t = 0$ , supponendo che  $V_{WL}$  sia rimasta stabile a  $3V$  per lungo tempo e che  $V_{BL} = 3V$  sia la tensione forzata sulla bit line.

La differenza fondamentale tra l'operazione di lettura e quella di scrittura è che nel primo caso la bit line viene precaricata ad una tensione  $V_{PRE}$  e poi lasciata in alta impedenza in modo che la sua tensione possa variare, permettendo così la lettura del dato memorizzato; nel secondo caso, invece, la tensione sulla bit line viene forzata mentre  $WL = 1$ , cosicché  $C_C$  venga caricata/scaricata, scrivendo quindi il dato sulla cella. L'esercizio in esame riguarda dunque la fase di scrittura di un valore logico alto ( $V_{BL} = 3V$ ), durante la quale  $M_1$  si comporta come un pass transistor. Supponendo esauriti i transistori all'istante  $t = 0$ , si ha quindi:

$$V_C(t = 0) = V_{BL} - V_{Tn} \quad (1)$$

dove, però,  $V_{Tn}$  è maggiore di  $V_{T0}$  a causa dell'effetto body:

$$V_{Tn} = V_{T0} + \gamma\{\sqrt{V_C + 2\phi_F} - \sqrt{2\phi_F}\} \quad (2)$$

Combinando la (1) e la (2) si ottiene:

$$\begin{aligned} V_C &= V_{BL} - V_{T0} - \gamma\{\sqrt{V_C + 2\phi_F} - \sqrt{2\phi_F}\} \\ \gamma\sqrt{V_C + 2\phi_F} &= -V_C + V_{BL} - V_{T0} + \gamma\sqrt{2\phi_F} \end{aligned} \quad (3)$$

Poniamo nella (3):

$$V_A = V_{BL} - V_{T0} + \gamma\sqrt{2\phi_F} = (3 - 0.8 + 0.5 \cdot 0.77)V = 2.59V$$

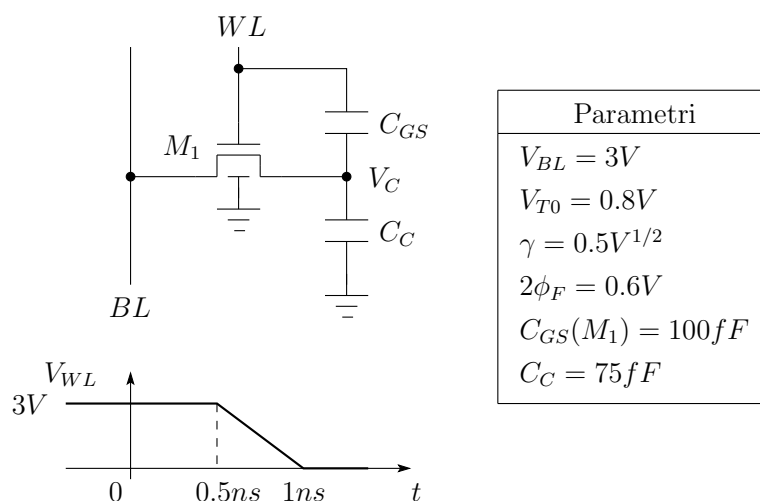


Figura 5: Es. 2.3 - Cella di memoria DRAM analizzata.

ed eleviamo al quadrato:

$$\begin{aligned}\gamma^2(V_C + 2\phi_F) &= V_C^2 + V_A^2 - 2V_A V_C \\ V_C^2 - (2V_A + \gamma^2)V_C + V_A^2 - 2\phi_F\gamma^2 &= 0 \\ V_C^2 - 5.43V_C + 6.56 &= 0\end{aligned}$$

Le due soluzioni sono  $V_C = 3.61V$  (non accettabile perché maggiore di  $V_{BL}$ ) e  $V_C = 1.81V$ , che rappresenta l'informazione effettivamente scritta nella cella, all'istante  $t = 0$ .

4) *Determinare, al termine del transitorio illustrato in Fig. 5, la variazione  $\Delta V_C$  della tensione ai capi di  $C_C$ , dovuta all'accoppiamento capacitivo con la word line mediante la  $C_{GS}$  di  $M_1$ .*

A seguito della discesa di  $V_{WL}$ ,  $M_1$  si spegne e la carica immagazzinata sulle capacità  $C_{GS}$  e  $C_C$  si ridistribuisce in maniera tale, però, che la carica totale sul nodo  $C$  (isolato) non cambi. La porzione di circuito utile all'analisi è mostrata in Fig. 6. La carica complessiva sul nodo  $C$  si calcola prendendo le tensioni ai capi dei condensatori come indicato nella figura. La carica prima dell'inizio del transitorio è

$$\begin{aligned}Q_{TOT,in} &= C_C V_{C,in} + C_{GS}(V_{C,in} - V_{WL,in}) \\ &= (C_C + C_{GS})V_{C,in} - C_{GS}V_{DD}\end{aligned}$$

(assumendo  $V_{DD} = 3V$ ), mentre a transitorio esaurito è

$$\begin{aligned}Q_{TOT,f} &= C_C V_{C,f} + C_{GS}(V_{C,f} - V_{WL,f}) \\ &= (C_C + C_{GS})V_{C,f}\end{aligned}$$

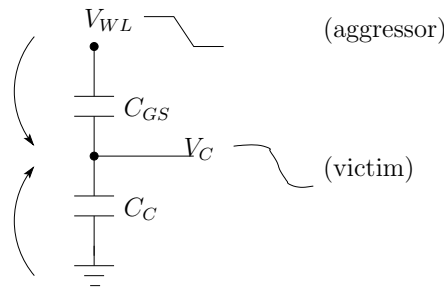


Figura 6: Accoppiamento capacitivo tra il nodo  $C$  (victim) e la  $WL$  che commuta (aggressor).



Imponendo la conservazione della carica totale si ottiene:

$$\begin{aligned}
 Q_{TOT,in} &= Q_{TOT,f} \\
 (C_C + C_{GS})V_{C,in} - C_{GS}V_{DD} &= (C_C + C_{GS})V_{C,f} \\
 V_{C,f} - V_{C,in} &\equiv \boxed{\Delta V_C = -\frac{C_{GS}}{C_C + C_{GS}}V_{DD} = -1.71V}
 \end{aligned}$$

L'accoppiamento capacitivo quindi degrada completamente l'informazione memorizzata sulla cella. Per limitare questo problema occorre utilizzare capacità di memorizzazione  $C_C \gg C_{GS}$  (il che ovviamente comporta inconvenienti in termini di area e velocità).

### Es. 3 - Spike di tensione

Con riferimento al circuito in Fig. 7, si completino le forme d'onda di  $V_X$  e  $V_Y$ , sapendo che  $V_X(t < 0) = V_Y(t < 0) = 0V$  e  $C_X = C_Y$ .

Per  $t < 0$  il transistor  $M_1$  è *ON* e ha  $V_{DS} = 0V$ , poiché il gate è connesso a  $V_{DD}$ , mentre  $V_X = V_Y = 0V$ . Tale situazione permane fino a  $t_1^-$ , cioè immediatamente prima della salita di  $\phi_1$  da  $0V$  a  $V_{DD}$ . Tale commutazione determina una variazione, che supponiamo istantanea, del potenziale su una delle armature del condensatore  $C_X$ . Poiché, però, la carica immagazzinata in un condensatore, e quindi la tensione ai suoi capi, non può variare istantaneamente, anche il potenziale sull'altra armatura di  $C_X$  subirà, all'istante  $t_1$ , un salto (spike) della stessa entità. Da un punto di vista formale, detta  $V_{C_X}$  la tensione ai capi di  $C_X$ ,

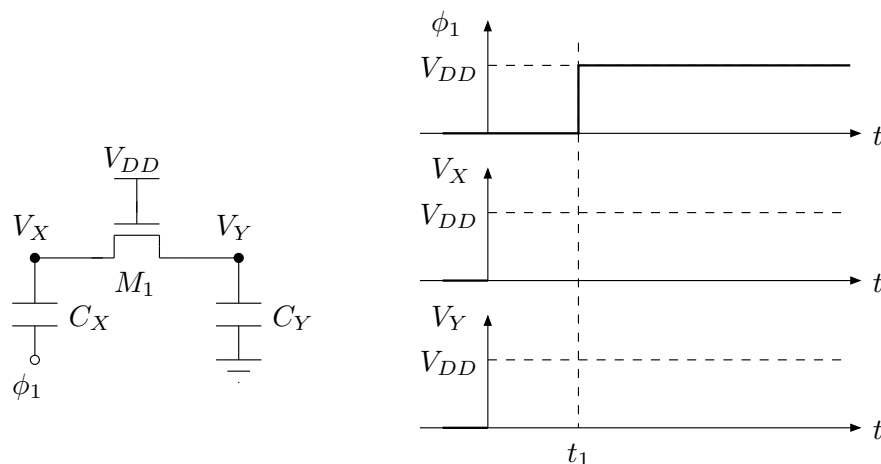


Figura 7: Es. 3 - Circuito analizzato e relative forme d'onda da completare.

dobbiamo imporre:

$$\begin{aligned}
 V_{C_X}(t_1^-) &= V_{C_X}(t_1^+) \\
 V_X(t_1^-) - \phi_1(t_1^-) &= V_X(t_1^+) - \phi_1(t_1^+) \\
 0 &= V_X(t_1^+) - V_{DD} \\
 V_X(t_1^+) &= V_{DD}
 \end{aligned}$$

In seguito si avrà un transitorio che tende a ristabilire una situazione di regime, nella quale non può circolare corrente perché ogni percorso conduttivo è interrotto dalla presenza dei due condensatori sul source e sul drain di  $M_1$ . All'istante  $t_1^+$  è  $V_Y$  a fungere da source, poiché  $V_Y(t_1^+) = V_Y(t_1^-) = 0V < V_X(t_1^+)$ . Impostando il solito problema della redistribuzione di carica, nell'ipotesi che al termine del transitorio le tensioni sui nodi  $X$  e  $Y$  siano uguali ( $V_{X,f} = V_{Y,f} \equiv V_f$ ), si ha:

$$\begin{aligned}
 Q_i &= Q_f \\
 0 &= C_X(V_f - V_{DD}) + C_Y V_f \\
 \boxed{V_f} &= \frac{C_X}{C_X + C_Y} V_{DD} = \boxed{\frac{V_{DD}}{2}}
 \end{aligned}$$

che è compatibile con l'ipotesi che il transistore resti acceso con  $V_{DS} = 0V$ . Le forme d'onda risultanti per  $V_X$  e  $V_Y$  sono riportate in Fig. 8.

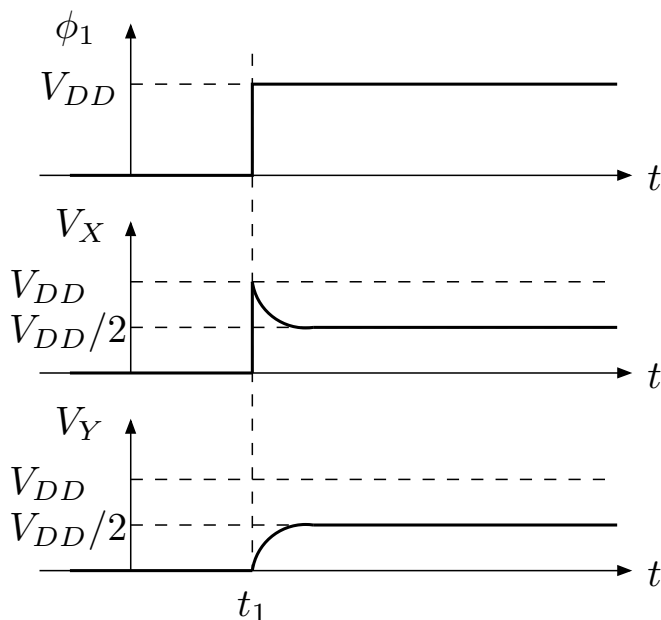


Figura 8: Es. 3 - Forme d'onda risultanti.

## Es. 4 - Memorie SRAM

1) Con riferimento al circuito in Fig. 9, calcolare la durata del transitorio di precarica di  $BL$  a seguito della commutazione  $V_P: V_{DD} \rightarrow 0V$ , assumendo  $V_{WL} = 0V$  e le condizioni iniziali  $V_{BL,in} = 0V$ ,  $V_{\overline{BL},in} = V_{DD}$ . Si assumano esauriti i transitori al 90% dell'escursione ( $f_r = f_f = 0.8$ ).

La transizione di  $V_P$  causa l'accensione dei  $pMOS$  di precarica, che hanno appunto la funzione di precaricare le linee  $BL$  e  $\overline{BL}$  alla tensione  $V_{DD}$ . Questa operazione precede la lettura, durante la quale una delle due linee verrà scaricata. Durante la fase di precarica la cella è isolata (infatti  $V_{WL} = 0V$  e quindi i transistori di accesso pilotati da questo segnale sono OFF).  $\overline{BL}$  si trova già al valore logico alto e quindi nessuna variazione di tensione ha luogo su di essa (il relativo  $MOS$  di precarica ha  $V_{DS}$  nulla), mentre il transitorio da calcolare è quello di carica della capacità  $C_{BL}$  associata alla linea  $BL$  mediante il corrispondente  $pMOS$  con fattore di forma  $S_{prec} = 50$ :

$$t_{pLH}(BL) = \frac{2C_{BL}}{\beta'_p S_{prec}} f_r = \frac{2 \cdot 10^{-12}}{50 \cdot 10^{-6} \cdot 50} \cdot 0.8 = 640ps$$

2) Calcolare la durata del transitorio di lettura al nodo  $Q$  a seguito delle commutazioni  $V_P: 0V \rightarrow V_{DD}$ ,  $V_{WL}: 0V \rightarrow V_{DD}$ , con le condizioni iniziali  $V_{BL,in} = V_{DD}$ ,  $V_{Q,in} = 0V$ .

Terminata la fase di precarica,  $V_P$  si alza, disattivando i transistori corrispondenti e lasciando quindi  $BL$  e  $\overline{BL}$  in alta impedenza. A questo punto la cella

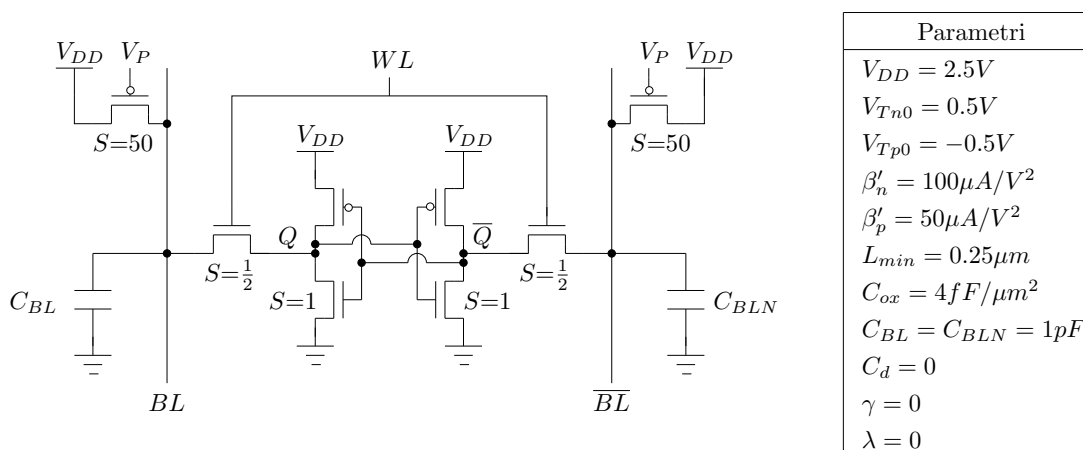


Figura 9: Es. 4 - Cella di memoria SRAM analizzata.

viene indirizzata (alzando  $V_{WL}$ ) e una delle due linee si scarica: nel caso in esame ciò avviene per  $BL$  dal momento che  $V_Q = 0V$ . I transistori coinvolti nel processo di scarica sono quello di accesso, con fattore di forma  $S = 1/2$ , e il driver  $nMOS$  con fattore di forma unitario, quindi

$$S_{eq} = \frac{1}{1+2} = \frac{1}{3}$$

$$\boxed{t_{p,LH}(BL)} = \frac{2C_{BL}}{\beta'_n S_{eq}} \cdot f_f = \frac{6 \cdot 10^{-12}}{100 \cdot 10^{-6}} \cdot 0.8 \boxed{= 48ns}$$

Nella pratica, l'operazione di lettura è accelerata dalla presenza di un sense amplifier, che rileva una differenza di tensione fra  $BL$  e  $\overline{BL}$  e la amplifica.