

Esercitazione del 10 Giugno 2009

Es. 1 - Pass Transistor

1) Determinare la funzione logica realizzata dal circuito in Fig. 1a).

Il circuito è realizzato a pass transistor: infatti i transistori hanno segnali sui drain/source, che devono essere propagati quando i segnali di controllo sui gate determinano l'accensione dei dispositivi. È possibile ridisegnare il circuito nella forma più familiare mostrata in Fig. 1b). Determiniamo innanzitutto la funzione logica al nodo Y: quando $B = 1$, N_1 è attivo e consente di trasferire su Y il valore logico del segnale A; se, invece, $B = 0$, è acceso N_2 , che realizza un cammino conduttivo tra Y e massa. Possiamo quindi scrivere:

$$Y = A \cdot B + 0 \cdot \bar{B} = A \cdot B \quad (1)$$

Il termine $0 \cdot \bar{B}$ nella (1) è irrilevante ai fini della funzione logica, ma la presenza

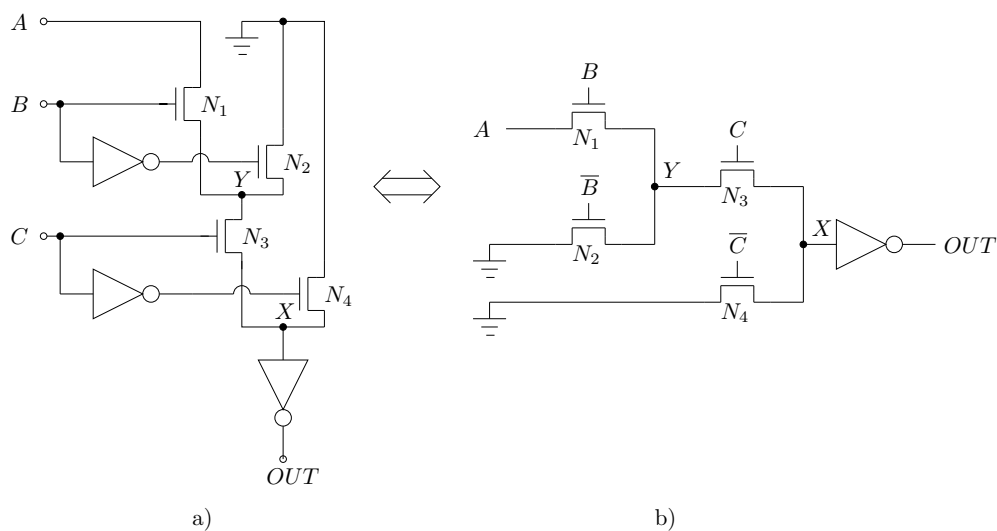


Figura 1: Es. 1 - a) Circuito a pass transistor da analizzare. b) Schema equivalente.

di N_2 è indispensabile a livello circuitale per fissare il potenziale del nodo Y anche quando $B = 0$. Analogamente, sul nodo X viene trasferito il valore logico di Y quando $C = 1$ (N_3 ON), e il valore logico '0' quando $C = 0$ (N_4 ON):

$$X = Y \cdot C + 0 \cdot \bar{C} = Y \cdot C = A \cdot B \cdot C$$

E infine $\boxed{OUT = \bar{Y} = \overline{A \cdot B \cdot C}}$.

2) *Determinare il massimo e il minimo valore della tensione ai nodi X , Y ed OUT , assumendo $\gamma = 0$.*

Per rispondere alla domanda relativamente al nodo Y , fissiamo l'attenzione sul transistor N_1 , assumendolo acceso ($V_B = V_{DD}$) e ricordando che in un MOS i terminali di source e drain sono intercambiabili: nei transistori a canale n assume il ruolo di source quello tra i due che ha potenziale minore.

- Se $V_A = 0$, il nodo A costituisce il source di N_1 (sarà infatti $V_A = 0 \leq V_Y$). Il transistor è quindi acceso, avendo $V_{GS} = V_B - V_A = V_{DD}$. Poiché a regime non deve circolare corrente (l'uscita X della parte di circuito realizzata a pass transistor costituisce l'ingresso di un invertitore CMOS, cioè è connessa al gate di due transistori, attraverso cui non può passare corrente), N_1 dovrà avere $V_{DS} = 0 \Rightarrow \boxed{V_Y^{min} = 0V}$.
- Se $V_A = V_{DD}$, invece, il nodo A costituisce il drain di N_1 , avendo certamente un potenziale maggiore o uguale a quello su Y . N_1 ha quindi $V_{GS} = V_B - V_Y = V_{DD} - V_Y$ e resta acceso finché

$$V_{GS} > V_{Tn0} \quad \Rightarrow \quad V_{DD} - V_Y > V_{Tn0} \quad \Rightarrow \quad V_Y < V_{DD} - V_{Tn0}$$

(si è trascurato l'effetto body in quanto $\gamma = 0$). La tensione V_Y può dunque salire fino a $\boxed{V_Y^{max} = V_{DD} - V_{Tn0}}$, poi N_1 si spegne.

Dall'analisi effettuata emerge che **il pass transistor realizzato con un MOS a canale n è in grado di trasferire correttamente il valore logico basso, mentre perde una soglia (rispetto alla tensione di gate) nel trasferimento del valore logico alto.** Analizziamo ora il nodo X assumendo N_3 ON ($V_C = V_{DD}$). Il valore logico basso verrà ancora trasferito correttamente, quindi $\boxed{V_X^{min} = 0V}$, mentre la tensione massima che può essere propagata è la V_Y^{max} calcolata prima. In tal caso, comunque, il source di N_3 è il nodo X , quindi il transistor si spegne quando

$$V_{GS} = V_{Tn0} \quad \Rightarrow \quad V_C - V_X = V_{Tn0} \quad \Rightarrow \quad V_X = \boxed{V_X^{max} = V_{DD} - V_{Tn0}}$$

V_X costituisce l'ingresso di un invertitore CMOS, che è in grado di ripristinare sull'uscita OUT i valori logici nominali 0 e V_{DD} , come si può dedurre osservandone la tipica caratteristica statica (V_X^{max} rispetta certamente il margine d'immunità ai disturbi dell'invertitore).

3) Come si modificano le tensioni calcolate al punto precedente se $\gamma \neq 0$?

Non essendo esplicitamente disegnati, i bulk dei transistori si assumono connessi a massa, quindi le V_{SB} sono non nulle quando le tensioni di source assumono valori $\neq 0$. In tal caso la tensione di soglia dei transistori aumenta rispetto a V_{Tn0} : il valore alto di V_X e V_Y sarà ora $V_{DD} - V_{Tn}$, **minore** del valore $V_{DD} - V_{Tn0}$ determinato in precedenza.

Es. 2 - Transitorio e condivisione di carica

1) Completare le forme d'onda relative al circuito in Fig. 2, assumendo $C_1=10C_2$, $V_X(t < 0) = 0V$, $V_Y(t < 0) = V_{DD}/2$ e tutti i transistori esauriti agli istanti t_1 , t_2 , t_3 .

La situazione iniziale ($t < 0$) è la seguente: M_1 ON (perché $V_A = V_{DD}$) con $V_{DS} = 0$ ($\phi_1 = V_X = 0$), M_2 OFF (perché $\phi_2 = 0$) e quindi $V_Y = V_{DD}/2$ in alta impedenza. Questa situazione resta inalterata finché non si hanno variazioni degli ingressi, cioè fino all'istante t_1 .

- $t_1 < t < t_2$

All'istante $t = t_1^+$, M_1 è acceso, con tensione $\phi_1 = V_{DD}$ sul drain, mentre M_2 resta spento perché $\phi_2 = 0$. Sul source di M_1 si ha ancora $V_X(t_1^+) = 0$ perché la tensione ai capi di un condensatore (C_1 in questo caso) non può variare istantaneamente. Il transitorio che si innesca porta alla carica della capacità C_1 . M_1 funge da pass transistor e la tensione al nodo X sale fino a $\boxed{V_X = V_{DD} - V_{Tn}}$, poi il transistor si spegne: infatti a regime non deve circolare corrente perché ogni cammino conduttivo è interrotto al nodo X dalla capacità C_1 e dal transistor spento M_2 . A valle di tale transistor si ha ancora $\boxed{V_Y = V_{DD}/2}$ in alta impedenza.

- $t_2 < t < t_3$

M_1 si accende perché, in seguito alla commutazione, $\phi_1 = 0$ è ora il source di questo transistor. Il valore logico basso viene dunque trasferito sul nodo X : la capacità C_1 viene progressivamente scaricata e V_X passa dal valore iniziale

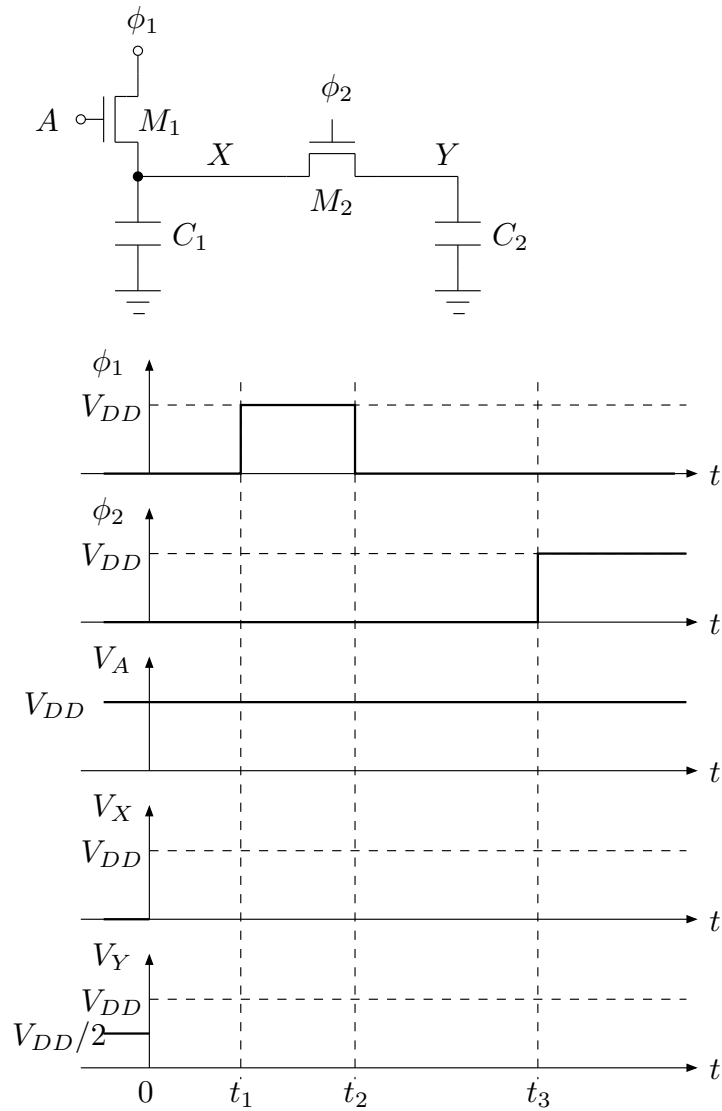


Figura 2: Es. 2 Transitorio da studiare.

$V_{DD} - V_{Tn}$ al valore finale $V_X = 0$. M_1 rimane acceso, con $V_{DS} = 0$. M_2 , invece, continua ad essere OFF, quindi $V_Y = V_{DD}/2$.

- $t > t_3$

M_2 si accende, avendo ora $V_{GS} = \phi_2 - V_X = V_{DD}$, e M_1 continua ad essere ON, quindi il valore logico basso viene trasferito al nodo Y , scaricando C_2 . Al termine del transitorio si ha $V_X = V_Y = 0$. Le forme d'onda corrispondenti al transitorio analizzato sono riportate in Fig. 3.

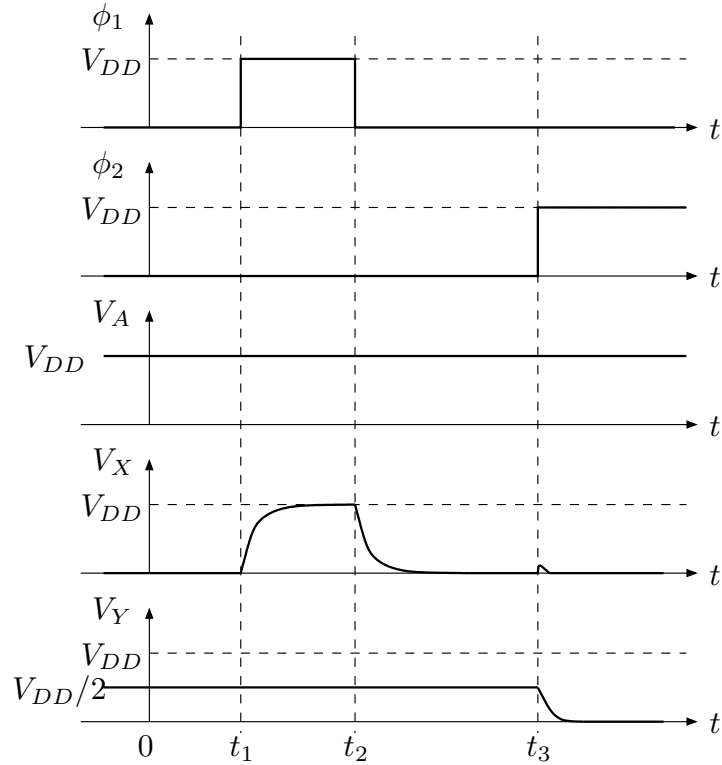


Figura 3: Forme d'onda corrispondenti al caso 1).

2) Con riferimento allo stesso circuito, completare le forme d'onda riportate in Fig. 4. Si assumano esauriti tutti i transistori agli istanti t_1 , t_2 , t_A , t_3 .

Per $t < t_A$ la situazione è identica a quella analizzata nel caso precedente, mentre successivamente M_1 si spegne a seguito della transizione di V_A da V_{DD} a 0.

- $t_A < t < t_3$

Si ha ancora $V_X = 0$, ma ora il nodo è in alta impedenza. $V_Y = V_{DD}/2$, anch'esso in alta impedenza.

- $t > t_3$

L'accensione di M_2 , determinata dalla commutazione di ϕ_2 , connette elettricamente i nodi X e Y , che, però, sono ora isolati dal resto del circuito: ogni flusso di corrente è interrotto dalla presenza del condensatore C_1 e del transistoro spento M_1 , dalla parte di X , e del condensatore C_2 , dalla parte di Y . **La carica complessivamente immagazzinata sul ramo X - Y non può dunque variare,**

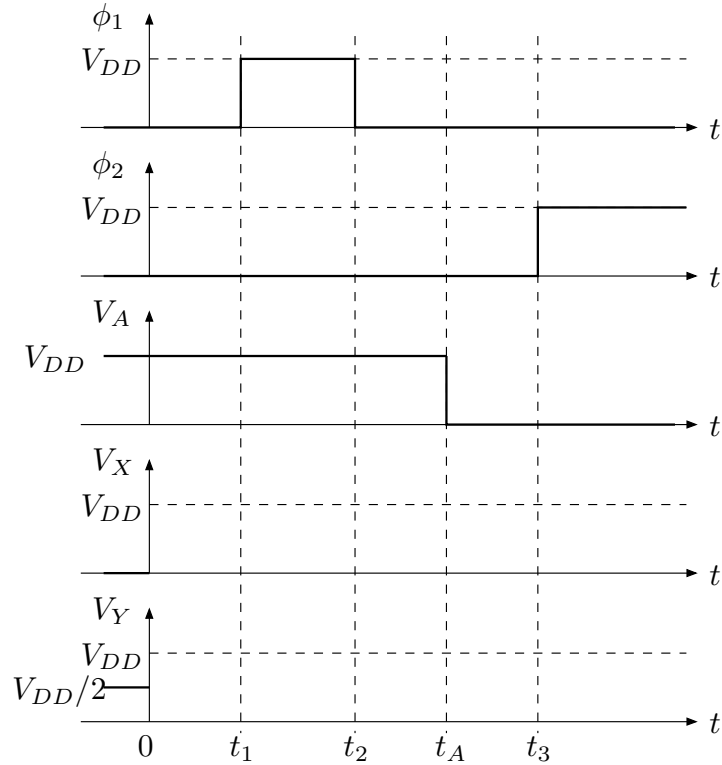


Figura 4: Transitorio da studiare - caso 2).

ma si avrà una redistribuzione di carica tra i due nodi. Tale fenomeno ha termine quando si verifica una delle seguenti due situazioni:

- a) la tensione ai due nodi raggiunge lo stesso valore
- b) il transistorore M_2 si spegne.

Supponiamo che si verifichi la prima situazione, cioè che si abbia una redistribuzione completa, calcoliamo la tensione finale raggiunta dai due nodi e controlliamo se il valore trovato è tale da mantenere acceso M_2 . Il sistema da risolvere è dunque il seguente:

$$\begin{cases} Q_{TOT,in} = Q_{TOT,fin} \\ V_{X,fin} = V_{Y,fin} \equiv V_f \end{cases} \quad (2)$$

La prima equazione esprime la conservazione della carica totale sul ramo in questione (somma delle cariche immagazzinate su C_1 e C_2). La carica totale immediatamente prima dell'inizio del transitorio è:

$$Q_{TOT,in} = C_1 V_{X,in} + C_2 V_{Y,in} = C_1 \cdot 0 + C_2 \frac{V_{DD}}{2} = C_2 \frac{V_{DD}}{2} \quad (3)$$

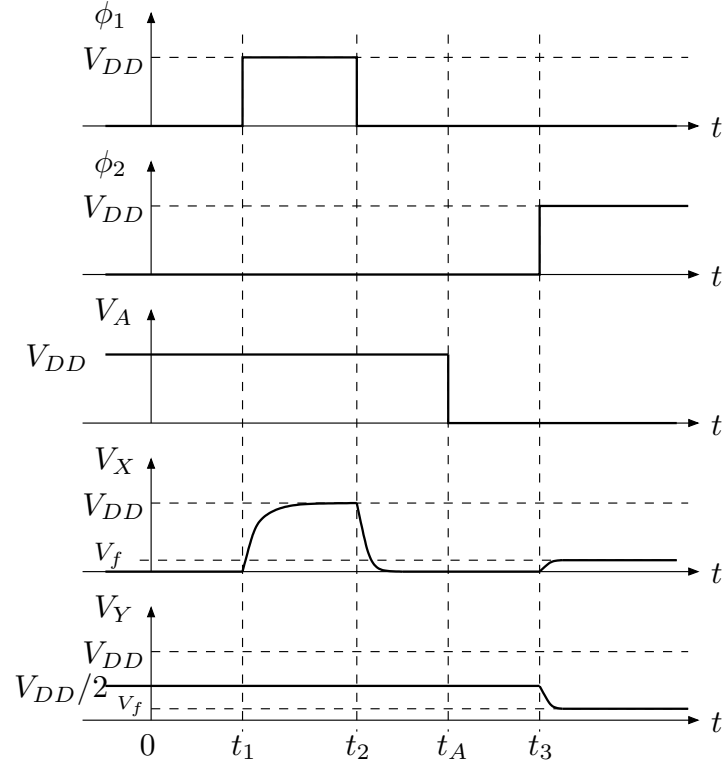


Figura 5: Forme d'onda corrispondenti al caso 2). $V_f = V_{DD}/22$.

mentre al termine del transitorio, assumendo uguali le tensioni su X e Y (seconda equazione del sistema (2)) e ricordando che $C_1 = 10 \cdot C_2$, si ha:

$$Q_{TOT,fin} = C_1 V_{X,fin} + C_2 V_{Y,fin} = (10C_2 + C_2)V_f = 11C_2 V_f \quad (4)$$

Uguagliando la (3) e la (4) si ottiene:

$$C_2 \frac{V_{DD}}{2} = 11C_2 V_f \quad \Rightarrow \quad \boxed{V_f = \frac{V_{DD}}{22}} \quad (5)$$

Il valore trovato determina su M_2 una tensione

$$V_{GS} = V_{DD} - \frac{V_{DD}}{22} = \frac{21}{22}V_{DD} > V_{Tn}$$

(infatti si ha tipicamente $V_{Tn} \approx V_{DD}/5$). Quindi V_f è tale da mantenere acceso il transistore: si verifica effettivamente la situazione a), come ipotizzato. La Fig. 5 mostra le forme d'onda relative al caso ora analizzato.

3) Ripetere l'analisi eseguita al punto precedente supponendo ora che $V_Y(t < 0) = V_{DD}$ e $C_1 = 0.1 \cdot C_2$.

La situazione per $t < t_3$ è la stessa descritta al punto 2), salvo il fatto che $V_Y = V_{DD}$ per tutto l'intervallo $[0, t_3]$.

- $t > t_3$

Si ha di nuovo una redistribuzione di carica: supponiamo, come prima, che la redistribuzione sia completa e verifichiamo a posteriori se l'ipotesi era corretta. Risolvendo il sistema (2) con

$$Q_{TOT,in} = C_1 V_{X,in} + C_2 V_{Y,in} = C_1 \cdot 0 + C_2 V_{DD} = C_2 V_{DD} \quad (6)$$

e

$$Q_{TOT,fin} = C_1 V_{X,fin} + C_2 V_{Y,fin} = \left(\frac{1}{10}C_2 + C_2\right)V_f = \frac{11}{10}C_2 V_f \quad (7)$$

si ottiene dall'uguaglianza delle cariche:

$$C_2 V_{DD} = \frac{11}{10}C_2 V_f \quad \Rightarrow \quad V_f = \frac{10}{11}V_{DD} \quad (8)$$

che non è compatibile con la conduzione del transistor M_2 :

$$V_{GS} = V_{DD} - \frac{10}{11}V_{DD} = \frac{1}{11}V_{DD} < V_{Tn}$$

In questo caso si deve dunque verificare la situazione b): la tensione al source di M_2 sale, per effetto della redistribuzione di carica, fino al valore massimo $V_{DD} - V_{Tn}$, poi il transistor si spegne, bloccando il processo di redistribuzione. Il sistema che descrive questa situazione è il seguente:

$$\begin{cases} Q_{TOT,in} &= Q_{TOT,fin} \\ V_{X,fin} &= V_{DD} - V_{Tn} \end{cases} \quad (9)$$

La risoluzione di tale sistema fornisce il valore $V_{Y,fin}$ ($\neq V_{X,fin}$). Infatti la carica totale al termine del transitorio è ora:

$$Q_{TOT,fin} = C_1 V_{X,fin} + C_2 V_{Y,fin} = \frac{1}{10}C_2(V_{DD} - V_{Tn}) + C_2 V_{Y,fin} \quad (10)$$

che, eguagliata alla (6), fornisce:

$$C_2 V_{DD} = \frac{1}{10}C_2(V_{DD} - V_{Tn}) + C_2 V_{Y,fin} \quad \Rightarrow \quad \boxed{V_{Y,fin} = \frac{9}{10}V_{DD} + \frac{1}{10}V_{Tn}} \quad (11)$$

Le forme d'onda sono riportate in Fig. 6.

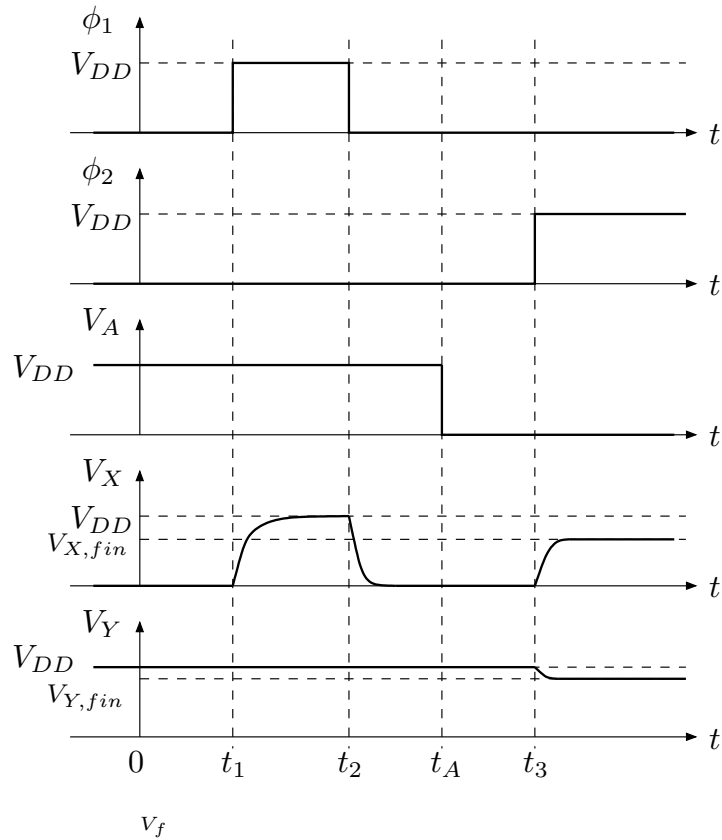


Figura 6: Forme d'onda corrispondenti al caso 3). $V_{X,fin} = V_{DD} - V_{Tn}$, $V_{Y,fin} = \frac{9}{10}V_{DD} + \frac{1}{10}V_{Tn}$.

Es. 3 - Logica domino

1) Determinare la funzione logica realizzata dal circuito in Fig. 7.

Si tratta di un circuito domino: infatti la funzione logica del primo stadio è interamente realizzata dalla rete di pull-down, mentre i transistori P_1 ed N_6 , comandati dal segnale di clock CK , controllano le due fasi di precarica e valutazione. Quando $CK = 0$ è attivo P_1 , mentre N_6 è spento: il nodo \overline{OUT} viene quindi precaricato a V_{DD} . Durante la fase di valutazione, invece, $CK = 1$ attiva N_6 e disattiva P_1 : se la configurazione degli ingressi è tale da abilitare un cammino conduttivo tra il nodo \overline{OUT} e massa, tale nodo viene scaricato, mentre viceversa mantiene il valore logico alto in una situazione di alta impedenza. La funzione dell'invertitore CMOS a valle di \overline{OUT} è quella di consentire la connessione del circuito in esame ad altri blocchi realizzati in logica domino: infatti dalla descrizione precedente risulta che OUT può caricarsi solamente durante la

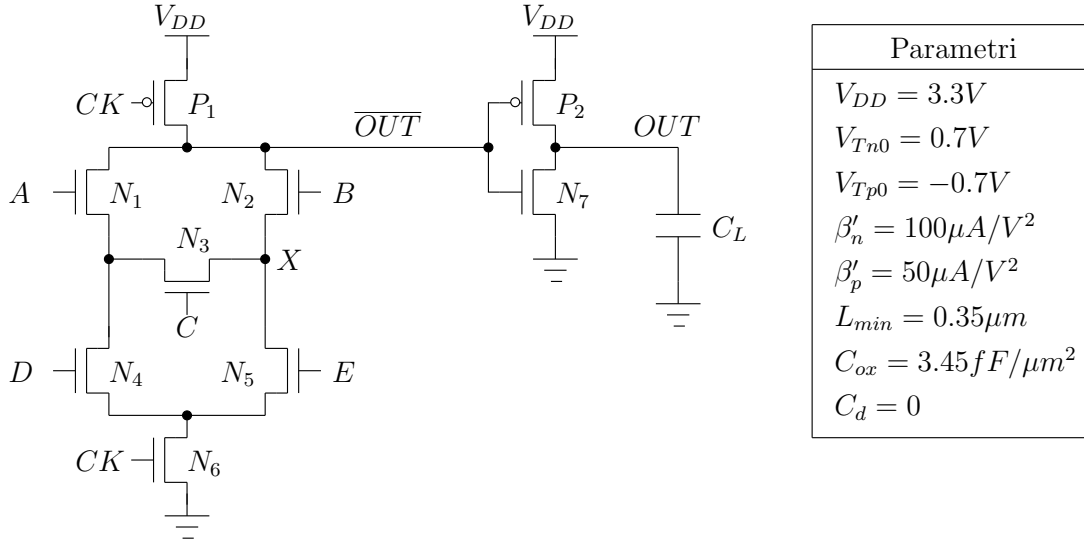


Figura 7: Es. 1 - Circuito da analizzare.

fase di valutazione, ed ha sempre potenziale nullo durante la precarica. Questo è fondamentale se \overline{OUT} costituisce uno degli ingressi della rete di pull-down di un altro circuito domino: i transistori di tale rete devono al più accendersi, ma mai spegnersi durante la fase di valutazione, al fine di impedire scariche parziali del nodo d'uscita.

La funzione logica si ottiene quindi osservando solamente la rete di pull-down, ad esclusione del transistore di controllo N_6 . Occorre tenere conto di tutti i cammini conduttivi che possono dar luogo alla scarica di \overline{OUT} :

$$\overline{(\overline{OUT})} = \boxed{OUT = AD + BE + ACE + BCD}$$

2) Assumendo gli effetti reattivi al nodo X rappresentati dalla capacità $C_X = 1 fF$ e che C_X sia inizialmente scarica, valutare la variazione di tensione $\Delta V_{\overline{OUT}}$ al nodo \overline{OUT} dovuta alla commutazione di V_B da 0 a V_{DD} mentre $A = C = D = E = 0$ e $CK = 1$. Si supponga $S_{N_7} = 2$ ed $S_{P_2} = 4$.

Poiché $CK = 1$, ci troviamo nella fase di valutazione. Prima della commutazione di B , tutta la rete di pull-down (ad eccezione del transistore di controllo N_6) è spenta, quindi $V_{\overline{OUT}} = V_{DD}$ in alta impedenza, mentre $V_X = 0$ dal momento che C_X è inizialmente scarica. La salita di V_B produce l'accensione di N_2 , avviando un processo di redistribuzione di carica tra C_X e $C_{\overline{OUT}}$, che ha termine quando le tensioni sui due nodi in questione si eguagliano, oppure viene interrotto dallo spegnimento di N_2 qualora la sua V_{GS} scenda fino alla soglia. La porzione di circuito coinvolta in questo fenomeno è rappresentata in Fig. 8. Supponendo

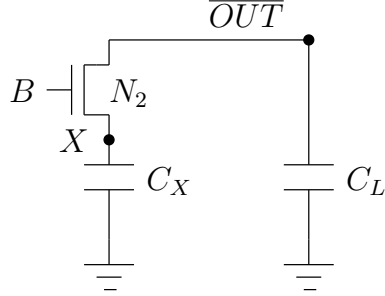


Figura 8: Porzione di circuito coinvolta nella redistribuzione di carica.

che la redistribuzione di carica sia completa, dobbiamo eguagliare la carica totale all'inizio e al termine del fenomeno, imponendo che $V_{X,fin} = V_{\overline{OUT},fin} \equiv V_f$:

$$C_{\overline{OUT}}V_{DD} + C_X \cdot 0 = (C_{\overline{OUT}} + C_X)V_f \quad \Rightarrow \quad V_f = \frac{C_{\overline{OUT}}}{C_{\overline{OUT}} + C_X}V_{DD} \quad (12)$$

Questo si verifica se $V_{DD} - V_f > V_{Tn}$, ossia:

$$\begin{aligned} V_f &< V_{DD} - V_{Tn} \\ \frac{C_{\overline{OUT}}}{C_{\overline{OUT}} + C_X}V_{DD} &< V_{DD} - V_{Tn} \\ \frac{1}{1 + \frac{C_X}{C_{\overline{OUT}}}} &< 1 - \frac{V_{Tn}}{V_{DD}} \end{aligned}$$

da cui si ottiene che il rapporto tra le capacità deve soddisfare questo vincolo:

$$\boxed{\frac{C_X}{C_{\overline{OUT}}} > \frac{\frac{V_{Tn}}{V_{DD}}}{1 - \frac{V_{Tn}}{V_{DD}}}} \quad (13)$$

La (13) esprime la condizione generale affinché si abbia completa redistribuzione di carica, nell'ipotesi che le condizioni iniziali siano quelle descritte dal testo dell'esercizio. Sostituendo i valori numerici

$$\begin{aligned} C_X &= 1fF \\ C_{\overline{OUT}} &= C_{ox}L^2(S_{N_7} + S_{P_2}) = 3.45 \cdot 10^{-15} \cdot (0.35)^2(2 + 4) = 2.53fF \end{aligned}$$

si trova che tale condizione è soddisfatta nel caso in esame, quindi il valore finale della tensione sui due nodi X e \overline{OUT} è, in base alla (12):

$$V_f = \frac{2.53fF}{(2.53 + 1)fF} \cdot 3.3V = 2.37V$$

La redistribuzione di carica a seguito della commutazione di B ha dunque portato ad una variazione di tensione sul nodo \overline{OUT} pari a:

$$\boxed{\Delta V_{\overline{OUT}}} = (3.3 - 2.37)V = \boxed{0.93V}$$

Un modo per evitare questo fenomeno indesiderato è quello di precaricare anche i nodi interni del circuito, per esempio connettendoli a V_{DD} mediante ulteriori $pMOS$ comandati dal segnale di CK come P_1 . Se tale accorgimento fosse stato applicato al nodo X , la condizione iniziale sarebbe stata $V_{X,in} = V_{DD} = V_{\overline{OUT},in}$, quindi N_2 sarebbe rimasto spento e nessuna redistribuzione avrebbe avuto luogo.