

Esercitazione del 27 Maggio 2009

Es. 1 - pMOS in configurazione drain comune

1) Con riferimento al circuito in Fig. 1, determinare le regioni di funzionamento del transistor Mp nel piano $V_{out}(V_{in})$.

- Mp ON se:

$$V_{GS} < V_{Tp} \Rightarrow V_{in} - V_{out} < V_{Tp} \Rightarrow \boxed{V_{out} > V_{in} - V_{Tp}} \quad (1)$$

Le regioni di funzionamento ON e OFF sono dunque separate dalla retta $V_{out} = V_{in} - V_{Tp}$ parallela alla bisettrice nel piano $V_{out}(V_{in})$.

- Mp SAT se:

$$V_{DS} < V_{GS} - V_{Tp} \Rightarrow -V_{out} < V_{in} - V_{out} - V_{Tp} \Rightarrow \boxed{V_{in} > V_{Tp}} \quad (2)$$

che è sempre verificato per valori di V_{in} nel range $[0, V_{DD}]$: quindi Mp è sempre saturo quando è acceso.

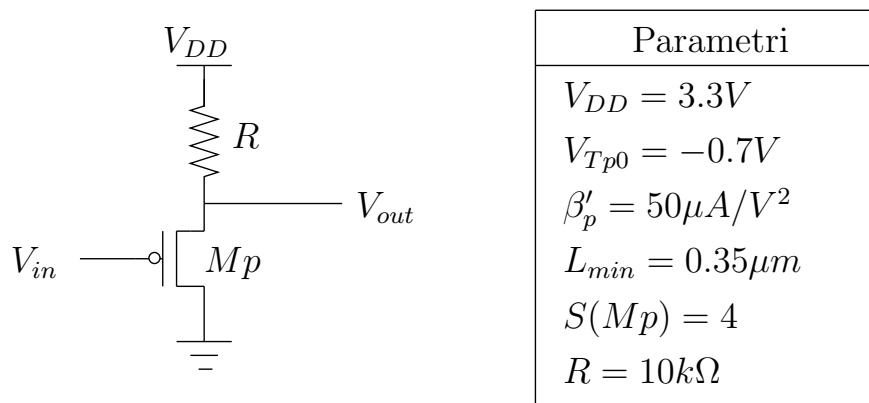


Figura 1: Es. 1 - Transistore $pMOS$ in configurazione drain comune.

2) Calcolare il massimo e il minimo valore di V_{out} e il massimo valore di V_{in} che corrisponde ad un valore non nullo della corrente di drain. Si assuma $\lambda = 0$, $\gamma = 0$.

Se Mp è ON, nel circuito scorre una corrente che determina una caduta di tensione sulla resistenza R , mentre se il transistor è spento non scorre corrente e si ha $V_{out} = V_{DD}$. Il massimo valore della tensione d'uscita è dunque $V_{OH} = V_{DD} = 3.3V$. Dalla (1) si ricava che Mp è ON se $V_{in} < V_{out} + V_{Tp}$. Poiché il massimo valore di V_{out} è V_{DD} , Mp si spegnerà quando la tensione d'ingresso raggiunge il valore $V_{DD} + V_{Tp}$. Il massimo valore di V_{in} che corrisponde ad una corrente di drain non nulla è dunque $V_{in}^* = V_{DD} + V_{Tp} = 2.6V$ ($V_{Tp} = V_{Tp0}$ essendo $\gamma = 0$). Per $V_{in} > V_{in}^*$ il transistor è spento e l'uscita resta fissa a V_{OH} , mentre per $V_{in} < V_{in}^*$ la corrente che circola causa una caduta su R che riduce la tensione del nodo d'uscita. Il minimo valore di V_{out} si avrà quindi per $V_{in} = 0$ e si ricava dalla legge di Kirchhoff al nodo d'uscita:

$$\begin{aligned} I_R &= -I_{DS} \\ \frac{V_{DD} - V_{out}}{R} &= \frac{\beta'_p S}{2} (V_{in} - V_{out} - V_{Tp})^2 \end{aligned} \quad (3)$$

Imponendo $V_{in} = 0$ si trova:

$$\frac{2}{R\beta'_p S} (V_{DD} - V_{out}) = V_{out}^2 + 2V_{Tp}V_{out} + V_{Tp}^2$$

Ponendo

$$\frac{1}{R\beta'_p S} = V_a$$

si giunge all'equazione:

$$V_{out}^2 + 2(V_a + V_{Tp})V_{out} + V_{Tp}^2 - 2V_a V_{DD} = 0$$

che, risolta, fornisce i due valori $V_{out} = -1.49V$, $V_{out} = 1.89V$. Il primo non è ovviamente accettabile, quindi la minima tensione d'uscita è $V_{OL} = 1.89V$.

3) Disegnare qualitativamente la caratteristica statica.

La caratteristica è riportata in Fig. 2, insieme alla retta $V_{out} = V_{in} - V_{Tp}$ che discrimina la zona in cui Mp è ON (sopra) da quella in cui è OFF (sotto). L'andamento non lineare nella regione in cui il transistor è acceso è governato dalla relazione (3).

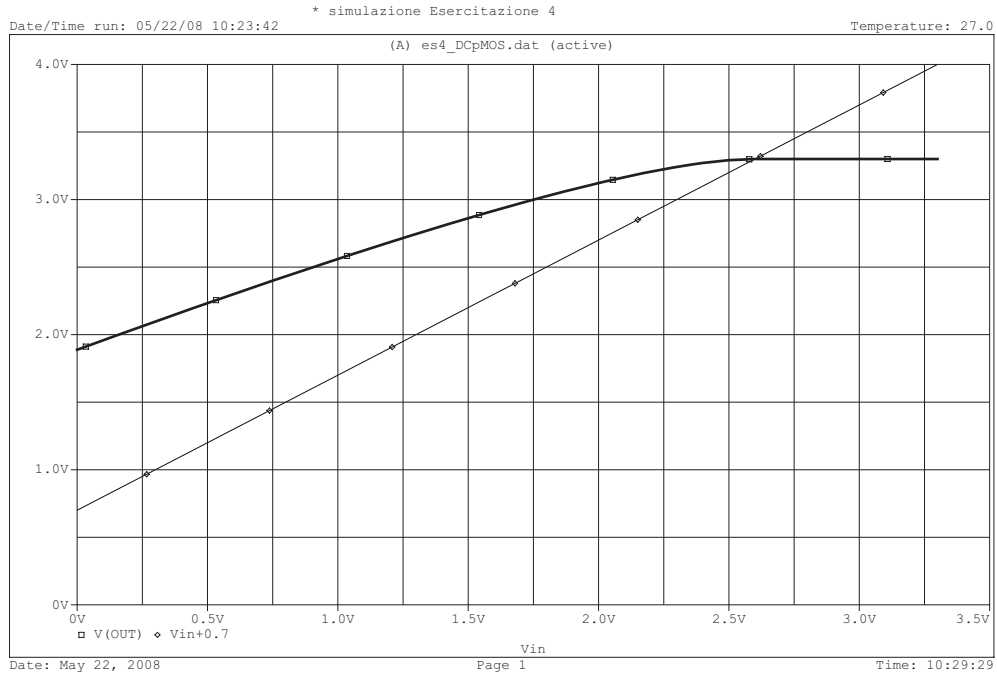


Figura 2: Caratteristica statica del circuito in Fig. 1.

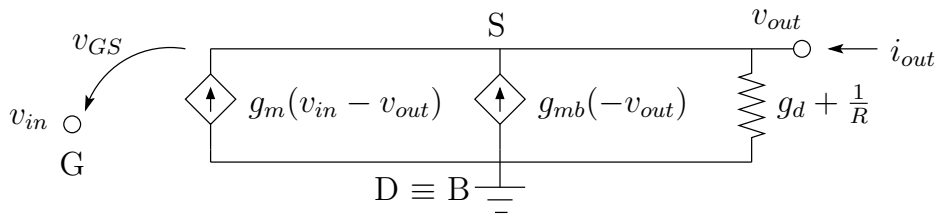


Figura 3: Circuito equivalente ai piccoli segnali.

4) Disegnare il circuito equivalente ai piccoli segnali relativo al punto di riposo con $V_{in} = 0V$, considerando ora $\lambda = 0.01V^{-1}$, $\gamma = 0.6V^{1/2}$ e $2\phi_F = 0.8V$. Calcolare la resistenza d'uscita e il guadagno di tensione nel punto di lavoro indicato.

Il circuito equivalente è riportato in Fig. 3. Il bilancio delle correnti al nodo *out* è:

$$i_{out} = -g_m(v_{in} - v_{out}) + g_{mb}v_{out} + \left(g_d + \frac{1}{R}\right)v_{out} \quad (4)$$

La resistenza d'uscita si calcola imponendo $v_{in} = 0$ nella (4):

$$\boxed{R_{out}} = \left. \frac{v_{out}}{i_{out}} \right|_{v_{in}=0} = \frac{1}{g_m + g_{mb} + g_d + \frac{1}{R}} \quad (5)$$

mentre per il guadagno di tensione occorre fissare $i_{out} = 0$:

$$\boxed{A_v} = \left. \frac{v_{out}}{v_{in}} \right|_{i_{out}=0} = \frac{g_m}{g_m + g_{mb} + g_d + \frac{1}{R}} = \boxed{g_m \cdot R_{out}} \quad (6)$$

Si osservi che il guadagno di questo circuito è positivo e sempre < 1 : le variazioni dell'uscita (source di M_p) seguono, sebbene con una certa attenuazione, quelle dell'ingresso (gate del transistore). Per questo motivo lo stadio in esame è chiamato drain comune o anche source follower.

Calcoliamo il valore numerico dei parametri di piccolo segnale. Occorre tenere conto dell'effetto body perché il transistore ha, nel punto di riposo:

$$V_{BS_0} = V_{DD} - V_{out_0} = (3.3 - 1.89)V = 1.41V$$

e quindi

$$\begin{aligned} V_{Tp} &= V_{TP0} - \gamma \{ \sqrt{V_{BS_0} + 2\phi_F} - \sqrt{2\phi_F} \} \\ &= -0.7V - 0.6 \cdot \{ \sqrt{1.41 + 0.8} - \sqrt{0.8} \} V = -1.06V \end{aligned}$$

Utilizzando questi valori si trova:

$$\begin{aligned} g_m &= -\beta'_p S (V_{in_0} - V_{out_0} - V_{Tp}) \\ &= -50 \cdot 10^{-6} \cdot 4 \cdot (0 - 1.89 + 1.06) = 166 \mu S \\ g_{mb} &= \frac{\gamma}{2\sqrt{V_{BS_0} + 2\phi_F}} \cdot g_m \\ &= \frac{0.6}{2\sqrt{1.41 + 0.8}} \cdot 166 \mu S = 33.5 \mu S \\ g_d &= \lambda \cdot \frac{\beta'_p S}{2} (V_{in_0} - V_{out_0} - V_{Tp})^2 \\ &= 0.01 \cdot \frac{50 \cdot 10^{-6} \cdot 4}{2} \cdot (0 - 1.89 + 1.06)^2 = 0.69 \mu S \end{aligned}$$

Sostituendo nella (5) e nella (6) si ottengono infine i valori numerici della resistenza d'uscita e del guadagno di corrente:

$$\boxed{R_{out} = 3.33k\Omega} \quad , \quad \boxed{A_v = 0.55}$$

Buffer: riepilogo concetti fondamentali e flusso di progetto

1. Funzione del buffer

Il buffer è un blocco circuitale utilizzato per minimizzare il ritardo di propagazione su un nodo caratterizzato da una capacità di valore molto elevato. Infatti dall'equazione fondamentale del condensatore

$$I = C \frac{dV}{dt} \Rightarrow \frac{dV}{dt} = \frac{I}{C} \quad (7)$$

si deduce che, a parità di corrente, la velocità di variazione della tensione ai capi del condensatore $\frac{dV}{dt}$ è tanto minore quanto più elevato è il valore della capacità C da caricare/scaricare. Ciò significa che, se il nodo d'uscita di una certa porta logica presenta una capacità di carico elevata, la commutazione di tale nodo richiederà molto tempo e il fronte del segnale risulterà notevolmente degradato (Fig. 4a), rallentando il funzionamento dell'intero circuito e aumentando il consumo di potenza. Dalla (7) si deduce che, per aumentare la velocità di commutazione $\frac{dV}{dt}$, occorrerebbe aumentare la corrente I erogata dalla porta logica. Poiché la corrente di drain del transistor MOS è proporzionale al fattore di forma $S = W/L$, ciò significa aumentare di una stessa quantità la larghezza di tutti i transistori della porta. D'altra parte, la capacità associata a ciascun ingresso è proporzionale all'area di gate dei transistori connessi a tale ingresso e quindi aumenterebbe notevolmente incrementando i fattori di forma. Il problema della capacità di carico elevata verrebbe dunque semplicemente spostato alla porta logica a monte di quella in esame.

Per gestire situazioni del genere si interpone quindi tra la porta logica e la capacità C una catena di invertitori di dimensioni via via maggiori (buffer), che realizzano un progressivo adattamento della corrente erogata al carico capacitivo.

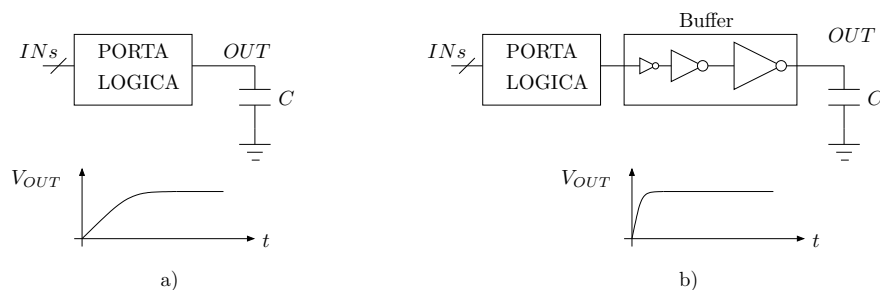


Figura 4: a) Porta logica caricata con una capacità C di valore elevato. b) Effetto del buffer su $V_{OUT}(t)$.

Un opportuno dimensionamento del buffer consente di ridurre notevolmente il tempo di ritardo totale tra la commutazione degli ingressi della porta logica e quella del nodo *OUT*, come mostrato in Fig. 4b).

2. Notazione

- $t_{p,int}$: tempo di propagazione intrinseco, cioè legato alle capacità drain-bulk dei transistori afferenti al nodo d'uscita. È indipendente dal dimensionamento S (dipende solo dal rapporto α tra i fattori di forma di *nMOS* e *pMOS*); per l'invertitore si può calcolare come

$$t_{p,int} = 2 \frac{C_d \mathcal{S}(1 + \alpha)}{\beta'_n \mathcal{S}} f_F \quad (8)$$

(la (8) esprime $t_{pHL,int}$, che è uguale a $t_{pLH,int}$ se α è stato dimensionato opportunamente).

- t_{p0} : tempo di propagazione di un invertitore caricato con una capacità uguale alla propria capacità d'ingresso, e quindi anch'esso indipendente da S :

$$t_{p0} = 2 \frac{C_{ox} L^2 \mathcal{S}(1 + \alpha)}{\beta'_n \mathcal{S}} f_F \quad (9)$$

- γ : rapporto tra $t_{p,int}$ e t_{p0} (solitamente < 1):

$$\gamma = \frac{t_{p,int}}{t_{p0}} = \frac{C_{int}}{C_G} \quad (10)$$

- X : rapporto tra la capacità di carico e quella d'ingresso del buffer:

$$X = \frac{C_L}{C_{in}} = \frac{C_L}{C_{ox} L^2 S (1 + \alpha)} \quad (11)$$

Si utilizza il buffer quando $X \gg 1$.

- u : rapporto tra le capacità d'ingresso (e quindi tra i dimensionamenti) di due stadi successivi. Si dimostra che il tempo di propagazione viene minimizzato quando il fattore d'incremento d'area è lo stesso per ogni coppia di stadi successivi:

$$u = \frac{C_{G,i+1}}{C_{G,i}} = \frac{S_{i+1}}{S_i}, \quad i = 1, 2, \dots, N \quad (12)$$

(ove N è il numero di stadi, $C_{G,1} = C_{in}$ è la capacità d'ingresso del buffer e $C_{G,N+1} = C_L$ è la capacità di carico). Deve quindi valere la relazione:

$$u = \sqrt[N]{X} \quad (13)$$

Derivando l'espressione del tempo totale di propagazione rispetto ad N al fine di ottenere la coppia (N, u) che lo minimizza, si perviene alla seguente equazione trascendente:

$$u[\ln(u) - 1] = \gamma \quad (14)$$

Al fine di ottenere manualmente una soluzione approssimata, solitamente si pone $\gamma = 0$, per cui la (14) si riduce a $u = e$.

3. Flusso di progetto

1. Si dimensiona il primo stadio del buffer determinando la coppia (S, α) : normalmente si sfruttano le specifiche sui tempi di salita/discesa e la capacità d'ingresso. Di solito lo stesso valore di α viene utilizzato per tutti gli stadi del buffer.
2. Si determina la coppia ottima (N, u) :

$$N = \lfloor \ln(X) \rfloor = \left\lfloor \ln \left(\frac{C_L}{C_{in}} \right) \right\rfloor \quad (15)$$

$$u = \sqrt[N]{X} \quad (16)$$

che rappresenta il numero di stadi e il fattore d'incremento d'area tra ogni coppia di stadi successivi tali da minimizzare il ritardo di propagazione totale.

3. Ogni stadio avrà dimensionamento:

$$\left(\frac{W}{L} \right)_n = u^{i-1} S, \quad \left(\frac{W}{L} \right)_p = \alpha u^{i-1} S, \quad i = 1, \dots, N \quad (17)$$

4. Si può dunque calcolare il tempo di propagazione di ogni stadio (abbiamo imposto che siano tutti uguali) come:

$$t_{p,i} = u \cdot t_{p,0}, \quad i = 1, \dots, N \quad (18)$$

e quindi il tempo di propagazione totale attraverso il buffer è:

$$t_{p,TOT} = N \cdot u \cdot t_{p,0} \quad (19)$$

Es. 2 - Esercizio di progetto di un buffer

1) Progettare il buffer in Fig. 5, caricato con una linea di interconnessione di dimensioni $L_{line} = 50\mu m$, $W_{line} = 3\mu m$ e capacità per unità di area $C'_{line} = 1fF/\mu m^2$, in modo che abbia capacità d'ingresso $C_{in} = 4.5fF$ e $t_{p,HL} = t_{p,LH}$ in ogni stadio. Si utilizzi il metodo della resistenza equivalente per il calcolo dei ritardi.

La capacità di carico del buffer sarà quella associata alla linea d'interconnessione, che si calcola come:

$$C_L = C'_{line} W_{line} L_{line} = 1fF/\mu m^2 \cdot 3\mu m \cdot 50\mu m = 150fF$$

Il rapporto tra questa e la capacità d'ingresso vale dunque

$$X = \frac{C_L}{C_{in}} = \frac{150fF}{4.5fF} = 33.3$$

$X \gg 1$ giustifica l'opportunità di utilizzare un buffer.

Seguendo il flusso di progetto descritto prima, dimensioniamo innanzitutto il primo stadio. Dall'uguaglianza dei tempi di salita e di discesa si ottiene:

$$\beta'_n S = \beta'_p \alpha S \quad \Rightarrow \quad \boxed{\alpha = \frac{\beta'_n}{\beta'_p} = 2}$$

mentre S si ricava dalla specifica sulla capacità d'ingresso:

$$C_{in} = C_{ox} L^2 S (1 + \alpha) = 4.5fF \quad \Rightarrow \quad \boxed{S = 6}$$

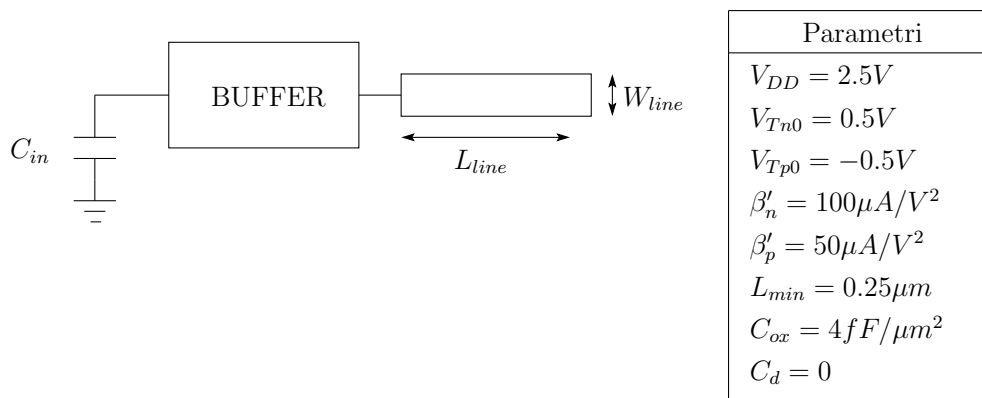


Figura 5: Buffer da progettare. Il carico è una linea di interconnessione di dimensioni $L_{line} = 50\mu m$, $W_{line} = 3\mu m$ e capacità per unità di area $C'_{line} = 1fF/\mu m^2$.

Il numero ottimo di stadi è dato dalla (15):

$$\boxed{N} = \lfloor \ln(X) \rfloor = \lfloor \ln(33.3) \rfloor = \boxed{3}$$

e il fattore d'incremento d'area dalla (16):

$$\boxed{u} = \sqrt[N]{X} = \boxed{3.2}$$

Il buffer risulta quindi dimensionato come descritto nella tabella seguente (dove $C_{ext,i}$ è la capacità a valle di ciascuno stadio):

Stadio	$\left(\frac{W}{L}\right)_n$	$\left(\frac{W}{L}\right)_p$	$C_{ext,i}$
1	$S = 6$	$\alpha S = 12$	$uC_{in} = 14.4 \text{ fF}$
2	$uS = 19.2$	$\alpha uS = 38.4$	$u^2C_{in} = 46.1 \text{ fF}$
3	$u^2S = 61.44$	$\alpha u^2S = 122.88$	$C_L = 150 \text{ fF}$

Il tempo di propagazione attraverso ogni stadio, calcolato con il metodo della resistenza equivalente, è:

$$t_{p,i} = u \cdot t_{p0} = u \cdot 0.69 \frac{2V_{DD}C_{in}}{\beta'_n S (V_{DD} - V_{Tn0})^2} = 20.7ps$$

e quello totale risulta $\boxed{t_{p,TOT}} = N \cdot t_{p,i} = \boxed{62.1ps}$. Se avessimo utilizzato solo il primo stadio del buffer (cioè l'invertitore più piccolo), il tempo necessario per caricare/scaricare (al 50 %) la capacità C_L sarebbe stato:

$$t_{p,1st} = 0.69 \frac{2V_{DD}C_L}{\beta'_n S (V_{DD} - V_{Tn0})^2} = 215ps$$

Il buffer a tre stadi permette dunque di ridurre sensibilmente il ritardo di propagazione.

2) Oltre alla linea di interconnessione, si supponga ora che al nodo d'uscita siano collegati in parallelo anche k invertitori CMOS uguali, con dimensionamento $S_n = 2$, $S_p = 6$. Si determini il numero massimo k_{max} di invertitori che il buffer progettato prima può pilotare senza che il ritardo di propagazione totale superi i 150ps.

Al carico capacitivo dato dalla linea di interconnessione si sommano ora le capacità d'ingresso dei k invertitori. La capacità totale all'uscita del buffer è dunque:

$$C_L = C_{line} + k \cdot C_{inv}$$

ove $C_{line} = 150fF$ è il carico considerato in precedenza, mentre la capacità d'ingresso di ciascun invertitore è

$$C_{inv} = C_{ox}L^2(S_n + S_p) = 8C_{ox}L^2 = 2fF$$

Il tempo di propagazione totale sarà la somma di quelli attraverso i tre stadi del buffer, dei quali solo l'ultimo cambia, perché è cambiata C_L :

$$\begin{aligned} t_{p,TOT} &= t_{p,1} + t_{p,2} + t'_{p,3} + t''_{p,3} = t_{p,TOT}^{line} + t''_{p,3} \\ &= 3u \cdot t_{p0} + 0.69 \frac{8C_{ox}L^2 \cdot 2V_{DD}}{\beta'_n u^2 S \cdot (V_{DD} - V_{Tn0})^2} \cdot k \end{aligned} \quad (20)$$

avendo evidenziato i contributi a $t_{p,3}$ relativi alla linea ($t'_{p,3}$) e ai k invertitori ($t''_{p,3}$). Il numero massimo di invertitori k_{max} si ottiene dalla (20) quando il tempo di propagazione è $t_{p,TOT}^{max} = 150ps$:

$$\boxed{k_{max}} = (t_{p,TOT}^{max} - 3u \cdot t_{p0}) \cdot \frac{\beta'_n u^2 S \cdot (V_{DD} - V_{Tn0})^2}{2 \cdot 0.69 \cdot 8C_{ox}L^2 V_{DD}} \quad \boxed{\simeq 313}$$

3) Calcolare la potenza media complessivamente dissipata quando all'ingresso del buffer è applicato un segnale periodico con frequenza $f = 100MHz$.

La potenza complessiva è la somma di quelle dissipate dai tre stadi del buffer, dal momento che tutti gli invertitori commutano:

$$\begin{aligned} \boxed{P_{d,TOT}} &= \sum_{i=1}^3 P_{d,i} \\ &= fV_{DD}^2(C_{ext,1} + C_{ext,2} + C_L) \\ &= fV_{DD}^2(uC_{in} + u^2C_{in} + C_{line} + K_{max}C_{inv}) \\ &= 100 \cdot 10^6 \cdot (2.5)^2 \cdot (14.4 + 46.08 + 150 + 313 \cdot 2) \cdot 10^{-15} \\ &= \boxed{523\mu W} \end{aligned}$$