

# Esercitazione del 20 Maggio 2009

## Es. 1 - Esame nodi interni

Determinare la tensione ad ogni nodo, a transitorio esaurito, nelle seguenti condizioni.

- $V_A = V_B = V_D = 0, V_C = V_{DD}$

$M_A$  ed  $M_B$  sono spenti, mentre  $M_D$  è ON. In condizioni di riposo non deve circolare corrente nel circuito perché non esiste un cammino conduttivo tra l'alimentazione e massa. **In un MOS la corrente è nulla quando il transistorore è OFF oppure quando ha  $V_{DS} = 0$ .** Nel caso di  $M_D$  si verificherà la seconda situazione perché il suo source è connesso all'alimentazione  $\Rightarrow V_{GS} = -V_{DD} < V_{Tp}$ . Si avrà quindi  $V_X = V_{DD}$ .  $M_C$  è acceso se:

$$V_{GS} > V_{Tn} \quad \Rightarrow \quad V_{DD} - V_Y > V_{Tn} \quad \Rightarrow \quad V_Y < V_{DD} - V_{Tn}$$

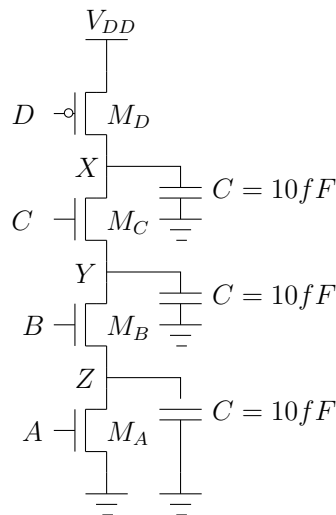


Figura 1: Circuito in esame.

Cioè per  $M_C$  si verifica l'altra situazione: la tensione al nodo  $Y$  (source) sale fino al valore  $V_{DD} - V_{Tn}$ , poi il transistorore si spegne. Essendo  $M_A$  ed  $M_B$  entrambi spenti, nessuno di essi controlla la tensione sul nodo  $Z$ , che quindi resta flottante (in alta impedenza). In definitiva:

$V_X$	$V_{DD}$
$V_Y$	$V_{DD} - V_{Tn}$
$V_Z$	Alta impedenza

- A partire dalla situazione precedente,  $V_A: 0 \rightarrow V_{DD}$  (fronte istantaneo).

$M_A$  si accende, ma  $M_B$  resta spento perché  $V_B = 0$ , quindi a regime deve essere  $I_D(M_A) = 0$ . Poiché  $M_A$  ha  $V_{GS} = V_A - 0 = V_{DD}$ , la corrente che lo attraversa è nulla quando  $V_{DS} = 0 \Rightarrow V_Z = 0$ . Le altre tensioni non cambiano, quindi:

$V_X$	$V_{DD}$
$V_Y$	$V_{DD} - V_{Tn}$
$V_Z$	0

- A partire dalla situazione precedente ( $V_A = V_C = V_{DD}$ ,  $V_B = V_D = 0$ ),  $V_A: V_{DD} \rightarrow 0$  e  $V_B: 0 \rightarrow V_{DD}$  (fronti istantanei).

A seguito di queste transizioni  $M_B$  si accende e  $M_A$  si spegne, interrompendo di nuovo il cammino conduttivo verso massa. Si ha ancora  $V_X = V_{DD}$ , perché  $M_D$  è ON, e  $V_Y = V_{DD} - V_{Tn}$  ( $V_Y$  non può raggiungere un potenziale maggiore perché  $M_C$  si spegne). Prima della transizione era  $V_Z = 0 < V_Y$ , quindi il nodo  $Z$  è il source di  $M_B$  e a seguito della commutazione degli ingressi il suo potenziale sale fino a  $V_{DD} - V_{Tn}$ , poi anche  $M_B$  si spegne. Riassumendo:

$V_X$	$V_{DD}$
$V_Y$	$V_{DD} - V_{Tn}$
$V_Z$	$V_{DD} - V_{Tn}$

- A partire dalla situazione precedente ( $V_B = V_C = V_{DD}$ ,  $V_A = V_D = 0$ ),  $V_A: 0 \rightarrow V_{DD}$  e  $V_D: 0 \rightarrow V_{DD}$  (fronti istantanei).

Poiché a regime  $V_D = V_{DD}$ ,  $M_D$  si spegne, avendo  $V_{GS} = 0V$ . I transistori a canale  $n$ , invece, sono tutti accesi, determinando così la scarica di tutti i nodi interni, finché la  $V_{DS}$  di  $M_A$ ,  $M_B$  ed  $M_C$  si annulla e i transistori non sono più attraversati da corrente:

$V_X$	0
$V_Y$	0
$V_Z$	0

## Es. 2 - Sintesi e dimensionamento di un circuito CMOS a più stadi

1) Disegnare i circuiti che realizzano in logica CMOS i blocchi  $P_1$ ,  $P_2$  e  $P_3$ , in base alle espressioni delle rispettive uscite, riportate in Fig. 2.

Dalle espressioni date si ricavano immediatamente  $\overline{OUT_1}$ ,  $\overline{OUT_2}$  e  $\overline{OUT_3}$ , che consentono di disegnare le reti di pull-down. Quelle di pull-up si ottengono per dualità. I blocchi  $P_1$ ,  $P_2$  e  $P_3$  si realizzano quindi come mostrato in Fig. 3. In particolare,  $P_2$  è un semplice invertitore CMOS, mentre  $P_3$  è un NOR a 2 ingressi.

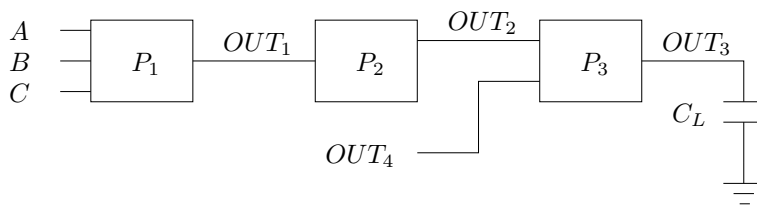
2) Dimensionare i transistori dei tre blocchi affinché si abbia:

$$\begin{cases} t_{p,HL} = t_{p,LH} & \text{in ogni stadio} \\ t_{p,P_1} = t_{p,P_2} = t_{p,P_3} & \text{(tempi di propagazione uguali)} \\ C_{in,A} = C_{in,B} = C_{in,C} = 3fF \end{cases}$$

La prima condizione permette di trovare i rapporti  $\alpha_i$  tra i fattori di forma di  $nMOS$  e  $pMOS$  in ciascuno stadio.

- Stadio  $P_1$ :

sia la carica che la scarica avvengono, nel caso peggiore, attraverso due  $MOS$  in serie, quindi  $\beta_n^{eq} = \beta_n/2$ ,  $\beta_p^{eq} = \beta_p/2$ . Utilizzando l'espressione



$$P_1 : \quad OUT_1 = \overline{A(B+C)}$$

$$P_2 : \quad OUT_2 = \overline{OUT_1}$$

$$P_3 : \quad OUT_3 = \overline{OUT_2 + OUT_4}$$

Parametri
$V_{DD} = 2.5V$
$V_{Tn0} = 0.5V$
$V_{Tp0} = -0.5V$
$\beta'_n = 100\mu A/V^2$
$\beta'_p = 50\mu A/V^2$
$L_{min} = 0.25\mu m$
$C_{ox} = 4fF/\mu m^2$
$C_d = 0F$
$\lambda = 0V^{-1}$

Figura 2: Circuito in esame. In ciascuno stadio  $P_i$ , tutti gli  $nMOS$  hanno uno stesso fattore di forma  $S_i = (W/L)_n$  e tutti i  $pMOS$  uno stesso fattore di forma  $\alpha_i S_i = (W/L)_p$ .

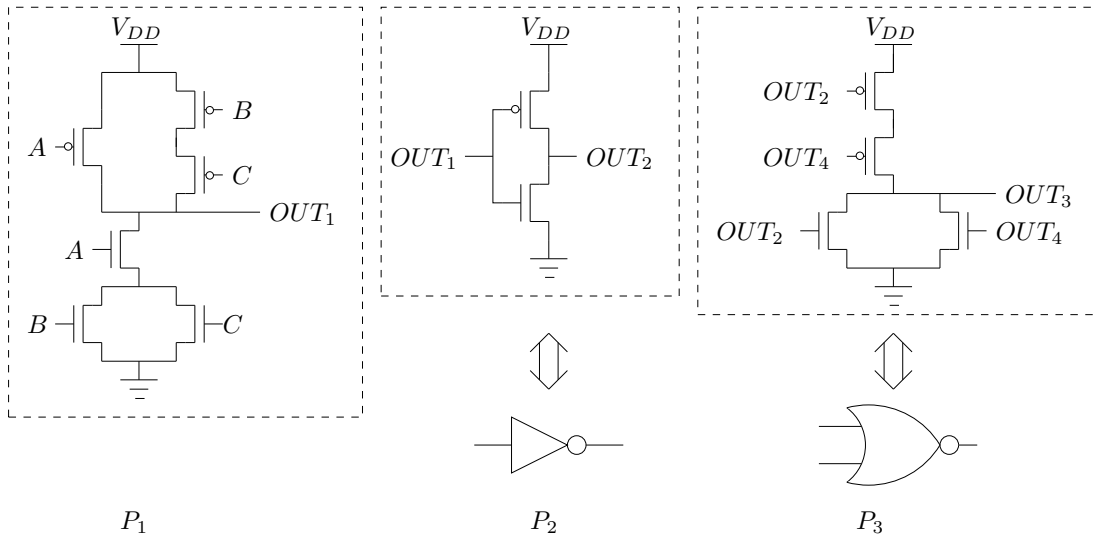


Figura 3: Realizzazione in logica CMOS dei blocchi  $P_1$ ,  $P_2$  e  $P_3$  in Fig. 2.

“analitica” dei tempi di propagazione si ha:

$$\begin{aligned} \frac{2C_{L,1}}{\beta'_n \frac{S_1}{2}} f_f &= \frac{2C_{L,1}}{\beta'_p \frac{\alpha_1 S_1}{2}} f_r \\ \beta'_n \frac{S_1}{2} &= \beta'_p \frac{\alpha_1 S_1}{2} \\ \boxed{\alpha_1} &= \frac{\beta'_n}{\beta'_p} \boxed{= 2} \end{aligned}$$

(si è sfruttato il fatto che  $f_f = f_r$  perché  $V_{Tn0} = |V_{Tp0}|$ ).

- Stadio  $P_2$ :  
carica e scarica avvengono attraverso un solo MOS, quindi si ottiene:

$$\begin{aligned} \beta'_n S_2 &= \beta'_p \alpha_2 S_2 \\ \boxed{\alpha_2} &= \frac{\beta'_n}{\beta'_p} \boxed{= 2} \end{aligned}$$

- Stadio  $P_3$ :  
nel caso peggiore la scarica avviene attraverso un solo  $nMOS$ , mentre la

carica avviene necessariamente attraverso la serie dei due  $pMOS$ , per cui:

$$\begin{aligned}\frac{2C_L}{\beta'_n S_3} f_f &= \frac{2C_L}{\beta'_p \frac{\alpha_3 S_3}{2}} f_r \\ \beta'_n S_3 &= \beta'_p \frac{\alpha_3 S_3}{2} \\ \boxed{\alpha_3} &= 2 \frac{\beta'_n}{\beta'_p} \boxed{= 4}\end{aligned}$$

Il dimensionamento di  $P_1$  può essere completato immediatamente sfruttando l'informazione sulle capacità d'ingresso, che fornisce una sola relazione utile perché sapevamo a priori che le capacità ai tre ingressi devono essere uguali, dal momento che tutti i transistori a canale  $n$  hanno lo stesso fattore di forma  $S_1$ , tutti quelli a canale  $p$  lo stesso fattore di forma  $\alpha_1 S_1$  e ogni ingresso è connesso ai gate di un  $nMOS$  e un  $pMOS$ . Si ha quindi:

$$C_{in,A} = C_{in,B} = C_{in,C} = C_{ox} L^2 S_1 (1 + \alpha_1)$$

da cui si ricava l'unica incognita  $\boxed{S_1 = 4}$ .

Per uguagliare i tempi di propagazione di stadi diversi occorre prima calcolare le rispettive capacità di carico. Trascurando le capacità parassite delle linee e quelle intrinseche di ciascuna porta logica ( $C_d = 0$ ), la capacità di carico di ciascuno stadio sarà uguale a quella d'ingresso dello stadio successivo:

$$\begin{aligned}C_{L,1} = C_{in,2} &= C_{ox} L^2 S_2 (1 + \alpha_2) = 3C_{ox} L^2 S_2 \\ C_{L,2} = C_{in,3} &= C_{ox} L^2 S_3 (1 + \alpha_3) = 5C_{ox} L^2 S_3\end{aligned}$$

Poiché abbiamo imposto che i tempi di carica e scarica siano fra loro uguali ad ogni stadio, possiamo ora scegliere indifferentemente una delle due espressioni. Per esempio uguagliamo i tempi di scarica:

$$\begin{cases} t_{p,HL,1} = t_{p,HL,2} & \Rightarrow & \frac{2C_{L,1}}{\beta'_n S_1} f_f = \frac{2C_{L,2}}{\beta'_n S_2} f_f \\ t_{p,HL,2} = t_{p,HL,3} & \Rightarrow & \frac{2C_{L,2}}{\beta'_n S_2} f_f = \frac{2C_L}{\beta'_n S_3} f_f \end{cases} \Rightarrow \begin{cases} S_2^2 = \frac{10}{3} S_3 \\ S_3^2 = S_2 \frac{C_L}{5C_{ox} L^2} \end{cases}$$

Risolvendo si ottiene  $S_2 = 7.63$ ,  $S_3 = 17.47$ . In definitiva, il dimensionamento dei transistori che compongono i tre blocchi è il seguente:

Stadio	$(\frac{W}{L})_n = S$	$(\frac{W}{L})_p = \alpha S$
$P_1$	4	8
$P_2$	7.63	15.26
$P_3$	17.47	69.88

3) Calcolare la potenza dinamica complessivamente dissipata dal circuito nel caso in cui  $V_B = V_C = V_{OUT_4} = V_{DD}$ , mentre  $V_A$  commuta periodicamente tra  $0V$  e  $V_{DD}$  con frequenza  $f = 100MHz$ .

La potenza dissipata nel complesso dal circuito in esame è la somma di quelle dissipate dai singoli stadi, dovute alla corrente assorbita dall'alimentazione durante la commutazione dei rispettivi nodi d'uscita. Occorre dunque verificare quali di questi nodi commutano a seguito delle transizioni del segnale  $A$ .

- $P_1$ : quando  $V_A = 0V$ ,  $OUT_1$  è connesso elettricamente all'alimentazione ( $OUT_1 = V_{DD}$ ), mentre se  $V_A = V_{DD}$ ,  $OUT_1 = 0V$  perché la rete di pull-down è completamente attiva e quella di pull-up totalmente spenta. La potenza dissipata durante queste commutazioni sarà dunque

$$P_{d,1} = fC_{L,1}V_{DD}^2 = 100 \cdot 10^6 \cdot 5.72 \cdot 10^{-15} \cdot (2.5)^2 = 3.575\mu W$$

dove il valore di  $C_{L,1}$  è stato calcolato secondo l'espressione precedentemente determinata:

$$C_{L,1} = 3C_{ox}L^2S_2 = 3 \cdot 4 \cdot 10^{-15} \cdot (0.25)^2 \cdot 7.63 = 5.72fF$$

- $P_2$  è un invertitore, la cui uscita  $OUT_2$  commuta a seguito delle commutazioni del relativo ingresso  $OUT_1$ . Osservando che la capacità di carico di questo stadio è

$$C_{L,2} = 5C_{ox}L^2S_3 = 21.84fF$$

si può calcolare la potenza dissipata da  $P_2$  come:

$$P_{d,2} = fC_{L,2}V_{DD}^2 = 13.65\mu W$$

- $P_3$ : poiché  $OUT_4 = V_{DD}$ , l'uscita di questo stadio è fissa a  $OUT_3 = 0V$ , nonostante le commutazioni dell'ingresso  $OUT_2$ .  $P_3$ , quindi, non dissipa potenza:

$$P_{d,3} = 0W$$

La potenza complessivamente dissipata dal circuito è dunque:

$$P_{d,TOT} = P_{d,1} + P_{d,2} + P_{d,3} = 17.225\mu W$$