

Esercitazione del 13 Maggio 2009

Calcolo dei tempi di propagazione - riepilogo

1. Ipotesi semplificative:

- commutazione ingressi con fronti *istantanei*
- capacità di carico *costante* rispetto alla polarizzazione
- scelta di un modello per la corrente dei transistori *MOS* (equaz. del livello 1 oppure modello del resistore lineare).

2. Transistore equivalente

La rete che crea il cammino conduttivo tra l'alimentazione e il nodo d'uscita (carica) oppure tra questo e massa (scarica) viene sostituita con un unico transistore equivalente (nel caso della scarica, ci si riconduce al circuito in Fig. 1(a)):

- **carica** \Rightarrow *pMOS* posto tra V_{DD} e il nodo l'uscita, con fattore di conducibilità equivalente β_p^{eq} determinato mediante le regole di composizione serie/parallelo;
- **scarica** \Rightarrow *nMOS* posto tra il nodo l'uscita e massa, con fattore di conducibilità equivalente β_n^{eq} determinato mediante le regole di composizione serie/parallelo.

3-a. Metodo “analitico”

Calcolo del transitorio di carica/scarica della capacità C_L integrando direttamente l'equazione differenziale e distinguendo le regioni di funzionamento in cui il transistore viene a trovarsi durante il transitorio. Si utilizza, per la corrente di drain del transistore equivalente, il modello di livello 1; poiché questo lega I_{DS} a $V_o \equiv V_{DS}$ dalla relazione rappresentata graficamente in Fig. 1(b) (considerando, a titolo di esempio, il caso della scarica), calcolare la durata del transitorio

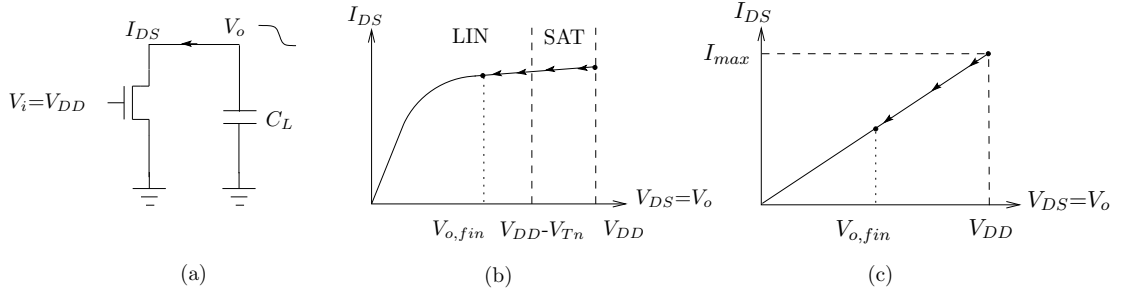


Figura 1: (a) Circuito equivalente ai fini del calcolo del transitorio di scarica del nodo V_o . (b) Calcolo del transitorio con il metodo “analitico”. (c) Calcolo del transitorio con il metodo della resistenza equivalente.

significa stimare il tempo impiegato dal circuito per percorrere il tratto di curva (traiettoria) compreso tra $V_o = V_{DD}$ e $V_o = V_{o,fin}$.

Scarica mediante *nMOS* del nodo V_o dal valore iniziale V_{DD} al valore finale $V_{o,fin}$:

$$\begin{aligned}
 t_{p,HL} &= \frac{2C_L}{\beta_n^{eq}} \cdot \frac{1}{V_{DD} - V_{Tn}} \left[\frac{V_{Tn}}{V_{DD} - V_{Tn}} + \frac{1}{2} \ln \left(\frac{2(V_{DD} - V_{Tn}) - V_{o,fin}}{V_{o,fin}} \right) \right] \\
 &= \frac{2C_L}{\beta_n^{eq}} \cdot f_f(V_{DD}, V_{Tn}, V_{o,fin})
 \end{aligned} \tag{1}$$

Carica mediante *pMOS* del nodo V_o dal valore iniziale 0 al valore finale $V_{o,fin}$:

$$\begin{aligned}
 t_{p,LH} &= \frac{2C_L}{\beta_p^{eq}} \cdot \frac{1}{V_{DD} + V_{Tp}} \left[\frac{-V_{Tp}}{V_{DD} + V_{Tp}} + \frac{1}{2} \ln \left(\frac{2(V_{DD} + V_{Tp}) - (V_{DD} - V_{o,fin})}{V_{DD} - V_{o,fin}} \right) \right] \\
 &= \frac{2C_L}{\beta_p^{eq}} \cdot f_r(V_{DD}, V_{Tp}, V_{o,fin})
 \end{aligned} \tag{2}$$

Se $V_{Tn} = |V_{Tp}|$ e il valore $V_{o,fin}$ nel caso della scarica è uguale al valore $V_{DD} - V_{o,fin}$ nel caso della carica, si ha $f_f = f_r$ (vedi Tabella).

3-b. Metodo della resistenza equivalente

Calcolo del transitorio di carica/scarica della capacità C_L assimilando il *MOS* ad una resistenza di valore costante. Significa approssimare la caratteristica $I_{DS}(V_{DS})$ del transistor equivalente con una retta, come rappresentato in Fig. 1(c). L'approssimazione più semplice consiste nell'assumere:

$$R_{eq} = \frac{V_{DS,max}}{I_{DS,max}} = \frac{V_{DD}}{I_{DS}^{sat}}$$

V_{DD} [V]	V_{Tn} [V]	$V_{o,fin}$ [V]	f_f
3.3	0.7	$0.5V_{DD}$	0.25
3.3	0.7	$0.1V_{DD}$	0.62
2.5	0.5	$0.5V_{DD}$	0.32
2.5	0.5	$0.1V_{DD}$	0.8

Tabella 1: Valori di f_f in funzione della tecnologia (V_{DD} , V_{Tn}) e di $V_{o,fin}$. $V_{o,fin} = 0.5V_{DD}$: transitorio al 50% dell'escursione; $V_{o,fin} = 0.1V_{DD}$: transitorio al 90% dell'escursione.

ove I_{DS}^{sat} è la corrente del transistore in saturazione. Alternativamente, il valore di R_{eq} più idoneo alla stima del ritardo di propagazione può essere fornito direttamente come un parametro tecnologico caratteristico. Il valore fornito in tal caso fa riferimento ad un *MOS* con fattore di forma unitario ($R_{eq}(S = 1)$); se il transistore equivalente al caso in esame ha fattore di forma S_{eq} , la resistenza da utilizzare per il calcolo del transitorio è:

$$R_{eq} = \frac{R_{eq}(S = 1)}{S_{eq}} \quad (3)$$

Il ritardo di propagazione corrisponde, con questo metodo, al tempo di percorrenza della traiettoria evidenziata in Fig. 1(c).

Scarica mediante *nMOS* del nodo V_o dal valore iniziale V_{DD} al valore finale $V_{o,fin} = V_{DD}/2$ (transitorio al 50% dell'escursione):

$$t_{p,HL} = 0.69R_{eq}C_L \simeq 0.69 \frac{2V_{DD}C_L}{\beta_n^{eq}(V_{DD} - V_{Tn})^2} \quad (4)$$

Carica mediante *pMOS* del nodo V_o dal valore iniziale 0 al valore finale $V_{o,fin} = V_{DD}/2$ (transitorio al 50% dell'escursione):

$$t_{p,LH} = 0.69R_{eq}C_L \simeq 0.69 \frac{2V_{DD}C_L}{\beta_p^{eq}(-V_{DD} - V_{Tp})^2} \quad (5)$$

Es. 1 - Analisi di un circuito CMOS

1) Verificare se il circuito in Fig. 2 è realizzato in logica CMOS.

Un circuito è realizzato in logica CMOS se la rete di pull-up è composta esclusivamente da $pMOS$, quella di pull-down esclusivamente da $nMOS$ e le due reti sono duali. Queste condizioni sono verificate nel circuito in esame, come si può facilmente osservare.

2) Determinare il massimo e il minimo valore di V_{OUT}

In un circuito CMOS pienamente complementare si ha sempre $V_{OUT,min} = 0$ e $V_{OUT,max} = V_{DD}$. Infatti, essendo duali, le reti di pull-up e di pull-down non sono mai contemporaneamente attive. Ciò significa che, se esiste un percorso conduttivo tra il nodo d'uscita e massa (rete di pull-down attiva), ogni cammino conduttivo verso l'alimentazione è interrotto, perciò a regime non può circolare corrente: tutti i MOS che creano il cammino conduttivo hanno $V_{DS} = 0 \Rightarrow V_{OUT} = 0$ (ad esempio questo avviene per $A = B = 1$, C indifferente). Analogo ragionamento si può fare per la rete di pull-up (es. $A = C = 0$, B indifferente $\Rightarrow V_{OUT} = V_{DD}$).

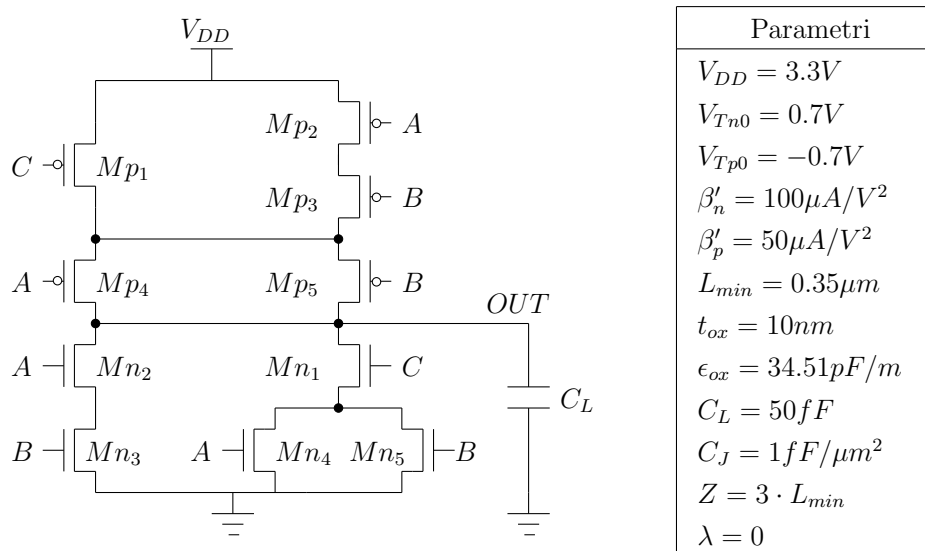


Figura 2: Circuito da analizzare. Si assuma che tutti i MOS a canale n abbiano uno stesso fattore di forma $S = (W/L)_n$ e tutti i MOS a canale p uno stesso fattore di forma $\alpha S = (W/L)_p$. Per il calcolo dei tempi di propagazione si assuma $f_r = f_f = 0.25$.

3) *Determinare la funzione logica realizzata dal circuito*

Basta guardare una delle due reti duali. Osservando, per esempio, la rete n , si deduce che:

$$OUT = 0 \text{ quando hanno valore } 1 \text{ } A \text{ e } B \text{ oppure } C \text{ e } (A \text{ oppure } B)$$

cioè:

$$\overline{OUT} = A \cdot B + C \cdot (A + B) \Rightarrow \boxed{OUT = \overline{A \cdot B + C \cdot (A + B)}} \quad (6)$$

Verifichiamo che lo stesso risultato si otterrebbe osservando la rete p . Da questa, infatti, si deduce che:

$$OUT = 1 \text{ quando hanno valore } 0 \text{ } (A \text{ oppure } B) \text{ e } (C \text{ oppure } (A \text{ e } B))$$

cioè:

$$OUT = (\overline{A} + \overline{B}) \cdot (\overline{C} + \overline{A} \cdot \overline{B}) \quad (7)$$

Utilizzando le leggi di De Morgan

$$\overline{A + B} = \overline{A} \cdot \overline{B} \quad (8)$$

$$\overline{A \cdot B} = \overline{A} + \overline{B} \quad (9)$$

l'espressione (7) si può ricondurre alla forma (6):

$$\begin{aligned} OUT &= (\overline{A} + \overline{B}) \cdot (\overline{C} + \overline{A} \cdot \overline{B}) \\ &= \overline{A \cdot B} \cdot (\overline{C} + \overline{A} + \overline{B}) \\ &= \overline{A \cdot B} \cdot \overline{C(A + B)} \\ &= \overline{A \cdot B + C \cdot (A + B)} \end{aligned}$$

4) *Determinare l'espressione del tempo di propagazione nei casi seguenti, assumendo fronti istantanei per i segnali d'ingresso.*

- $A, B, C: 0, 1, 1 \rightarrow 0, 0, 1$

Prima della transizione $V_{OUT} = 0$ perchè Mn_1 e Mn_5 sono attivi. A seguito della transizione il percorso conduttivo verso massa viene interrotto perchè Mn_5 si spegne, mentre i $pMOS$ con ingressi A e B sono accesi. La carica del nodo d'uscita avviene quindi attraverso il percorso Mp_2 serie Mp_3 serie (Mp_4 parallelo Mp_5). In tal caso la rete è sostituibile con un unico $pMOS$ con fattore di conducibilità equivalente

$$\boxed{\beta_p^{eq}} = \frac{1}{\frac{1}{2\beta_p} + \frac{1}{\beta_p} + \frac{1}{\beta_p}} = \frac{2}{5}\beta_p = \boxed{\frac{2}{5}\beta_p' \alpha S} \quad (10)$$

Inserendo β_p^{eq} nella (2) si ottiene l'espressione desiderata:

$$\boxed{t_{p,LH} = \frac{2C_L}{\frac{2}{5}\beta'_p\alpha S} f_r} \quad (11)$$

- $A, B, C: 0, 1, 1 \rightarrow 0, 1, 0$

La situazione iniziale è la stessa del caso precedente, ma, a seguito della transizione degli ingressi, il cammino conduttivo verso massa viene interrotto, mentre quello verso l'alimentazione è realizzato dalla serie di Mp_1 e Mp_4 . L'espressione di β_p^{eq} da sostituire nella (2) per ottenere $t_{p,LH}$ è dunque:

$$\boxed{\beta_p^{eq} = \frac{1}{2}\beta_p = \frac{1}{2}\beta'_p\alpha S}$$

- $A, B, C: 0, 1, 0 \rightarrow 0, 1, 1$

Si tratta della transizione opposta a quella appena analizzata, che porta alla scarica del nodo *OUT* attraverso la serie di Mn_1 e Mn_5 . Il fattore di conducibilità equivalente è dunque

$$\boxed{\beta_n^{eq} = \frac{1}{2}\beta_n = \frac{1}{2}\beta'_n S} \quad (12)$$

che, sostituito nella (1), fornisce:

$$\boxed{t_{p,HL} = \frac{2C_L}{\frac{1}{2}\beta'_n S (V_{DD} - V_{Tn})^2} f_f} \quad (13)$$

- $A, B, C: 0, 1, 0 \rightarrow 1, 1, 0$

Partendo dalla stessa situazione iniziale del caso precedente, si ha ancora la scarica del nodo d'uscita attraverso due *nMOS* (nella fattispecie Mn_2 e Mn_3), per cui le espressioni di β_n^{eq} e $t_{p,HL}$ sono le stesse del caso precedente.

5) *Dimensionare il circuito affinché sia $t_{p,HL}^{\max} = t_{p,LH}^{\max} = 250ps$.*

Si tratta di determinare i fattori di forma dei transistori

$$\left(\frac{W}{L}\right)_n = S \quad , \quad \left(\frac{W}{L}\right)_p = \alpha S$$

calcolando i tempi di propagazione **nel caso peggiore**. In pratica le nostre incognite sono S ed α . Si applica quindi il seguente procedimento:

1. imponendo l'uguaglianza dei tempi di carica e scarica nei casi peggiori si trova α ;
2. imponendo il valore del tempo di propagazione ($250ps$ nel caso in esame) si trova S .

Il caso peggiore per la carica/scarica è quello corrispondente al **minimo** valore possibile di β^{eq} (che è al denominatore nell'espressione dei tempi di propagazione e quindi li rende massimi).

- **Scarica:** il caso peggiore corrisponde alla scarica attraverso la serie di 2 $nMOS$ (come negli ultimi due punti della domanda precedente) $\Rightarrow \beta_n^{eq} = \frac{1}{2}\beta'_n S$
- **Carica:** il caso peggiore è quello analizzato al primo punto della domanda precedente $\Rightarrow \beta_p^{eq} = \frac{2}{5}\beta'_p \alpha S$

Uguagliando i tempi di carica e scarica e ricordando che $V_{Tn0} = |V_{Tp0}|$, per cui $f_r = f_f$, si ha:

$$\begin{aligned}
 t_{p,HL}^{\max} &= t_{p,LH}^{\max} \\
 \frac{2C_L}{\beta_n^{eq}} f_f &= \frac{2C_L}{\beta_p^{eq}} f_r \\
 \frac{1}{2}\beta'_n S &= \frac{2}{5}\beta'_p \alpha S \\
 \boxed{\alpha} &= \frac{5\beta'_n}{4\beta'_p} \boxed{= \frac{5}{2}}
 \end{aligned}$$

Poiché abbiamo imposto che i due tempi siano uguali, possiamo ora scegliere indifferentemente una delle due espressioni, per esempio quella di $t_{p,HL}^{\max}$, e uguagliarla a $250ps$ per completare il dimensionamento:

$$\begin{aligned}
 t_{p,HL}^{\max} &= \frac{2C_L}{\frac{1}{2}\beta'_n S} f_f \\
 \boxed{S} &= \frac{4C_L}{\beta'_n \cdot t_{p,HL}^{\max}} f_f \\
 &= \frac{4 \cdot 50 \cdot 10^{-15}}{100 \cdot 10^{-6} \cdot 250 \cdot 10^{-12}} \cdot 0.25 \boxed{= 2}
 \end{aligned}$$

Per minimizzare l'area, in tecnologia CMOS i transistori si realizzano normalmente con la minima lunghezza di canale L_{min} , quindi le W saranno:

$$\begin{aligned}
 W_n &= S \cdot L_{min} = 2 \cdot 0.35\mu m = 0.7\mu m \\
 W_p &= \alpha S \cdot L_{min} = \frac{5}{2} \cdot 2 \cdot 0.35\mu m = 1.75\mu m
 \end{aligned}$$

6) Calcolare la capacità d'ingresso C_{in} a ciascuno degli ingressi del circuito.

Il circuito in esame ha 3 segnali d'ingresso (A , B e C): per ciascuno di essi, esisterà una pista metallica (non disegnata nello schematico) che lo porta al gate di tutti i MOS pilotati da tale segnale. Ai fini degli effetti reattivi, ognuno di questi transistori è assimilabile ad una capacità tra la pista metallica e massa: vi saranno dunque tante capacità parassite connesse in parallelo tra la pista di segnale e massa quanti sono i MOS interessati dall'ingresso considerato. In definitiva, la capacità associata a ciascun segnale d'ingresso sarà la somma delle capacità di gate di tutti i transistori a cui tale segnale è connesso. Poiché approssimiamo la capacità di gate di un singolo transistore come:

$$C_g = C_{ox}WL = C_{ox}L^2 \cdot \left(\frac{W}{L}\right) \quad (14)$$

la capacità associata al generico ingresso X sarà

$$C_{in,X} = C_{ox}L^2 \left[\sum_i \left(\frac{W}{L}\right)_{n,i} + \sum_j \left(\frac{W}{L}\right)_{p,j} \right] \quad (15)$$

dove si sono messi in evidenza i fattori di forma di tutti i transistori a canale n e a canale p che sono pilotati dall'ingresso X . La capacità per unità di area dell'ossido di gate si calcola come:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{34.51 \cdot 10^{-12} F/m}{10 \cdot 10^{-9} m} = 3.45 \cdot 10^{-3} \frac{F}{m^2} \cdot 10^{-12} \frac{m^2}{\mu m^2} = 3.45 fF/\mu m^2$$

dove l'ultimo passaggio serve ad esprimere C_{ox} in $F/\mu m^2$, conveniente poiché le dimensioni dei transistori sono in μm . Nel circuito in esame l'ingresso A è connesso a due $nMOS$, con fattore di forma S , e due $pMOS$, con fattore di forma αS , quindi la capacità associata è:

$$\boxed{C_{in,A}} = C_{ox}L^2(2S+2\alpha S) = C_{ox}L^2S(2+2\alpha) = 3.15 \frac{fF}{\mu m^2} \cdot (0.35)^2 \mu m^2 \cdot 14 = \boxed{5.92 fF}$$

Poiché anche l'ingresso B è connesso a due $nMOS$ e due $pMOS$, si avrà

$$\boxed{C_{in,B} = C_{in,A}}$$

mentre C costituisce l'ingresso di un solo $nMOS$ e un solo $pMOS$, quindi

$$\boxed{C_{in,C}} = C_{ox}L^2S(1 + \alpha) = \boxed{2.96 fF}$$

Tutte queste capacità sono dell'ordine di qualche fF .

7) Determinare la potenza dinamica dissipata se $V_A = 0$, $V_B = V_{DD}$ e V_C è un segnale periodico con frequenza $f = 150\text{MHz}$

La configurazione degli ingressi fa sì che ogni commutazione di C corrisponda ad una commutazione (in senso opposto) del nodo OUT , il quale assume quindi un andamento periodico con la stessa frequenza. Viene dissipata potenza ogni volta che si assorbe corrente dall'alimentazione, cioè quando si **carica** la capacità C_L in corrispondenza dei transistori di salita di V_{OUT} . Poiché la corrente assorbita è $I_{DD}(t) = C_L dV_{OUT}/dt$ e il nodo d'uscita viene caricato dal valore iniziale 0 al valore finale V_{DD} , la potenza dinamica media dissipata dal circuito è:

$$\begin{aligned}
 \boxed{P_d} &= \frac{1}{T} \int_0^T V_{DD} I_{DD}(t) dt \\
 &= \frac{1}{T} \int_0^T V_{DD} C_L \frac{dV_{OUT}}{dt} dt \\
 &= f C_L V_{DD} \int_0^{V_{DD}} dV_{OUT} \\
 &= f C_L V_{DD}^2 \boxed{= 81.675 \mu W}
 \end{aligned}$$

La formula $f C_L V_{DD}^2$ è utilizzabile per il calcolo della potenza dinamica dissipata da un circuito CMOS ogniqualvolta le transizioni considerate degli ingressi sono tali da provocare la commutazione periodica dell'uscita tra i valori 0 e V_{DD} .

8) Calcolare la capacità di uscita intrinseca del circuito

Nei calcoli svolti finora abbiamo assunto che tutti gli effetti reattivi associati al nodo d'uscita fossero concentrati nella capacità C_L di valore assegnato. In generale, la capacità di uscita di una porta logica è data dalla somma di un contributo estrinseco C_{ext} , dovuto alla capacità della linea e a quelle d'ingresso delle porte logiche a valle, e di un contributo C_{int} , detto intrinseco perché dipendente solo dalla porta logica in esame. Si chiede ora di calcolare questo contributo, che è dato dalla somma di tutte le capacità drain-bulk dei transistori afferenti al nodo d'uscita. Poiché approssimiamo la capacità drain-bulk di un singolo transistor come

$$C_{DB} = C_J W Z = C_J L Z \cdot \left(\frac{W}{L}\right) = C_d \cdot \left(\frac{W}{L}\right) \quad (16)$$

si ha:

$$C_{int} = C_d \cdot \left[\sum_i \left(\frac{W}{L}\right)_{n,i} + \sum_j \left(\frac{W}{L}\right)_{p,j} \right] \quad (17)$$

Calcoliamo il parametro C_d , che dipende solo dalla tecnologia e non dal dimensionamento del circuito (posto che sia $L = L_{min}$):

$$C_d = C_J L Z = C_J L_{min} \cdot 3L_{min} = 1 \frac{fF}{\mu m^2} \cdot 0.35 \mu m \cdot 3 \cdot 0.35 \mu m = 0.37 fF$$

Poiché al nodo OUT afferiscono i drain di due transistori a canale n (Mn_1 ed Mn_2) e di due a canale p (Mp_4 ed Mp_5), nel circuito in esame si avrà:

$$C_{int} = C_d S (2 + 2\alpha) = 5.18 fF$$

Osservazione: il bulk dei $pMOS$ è tipicamente connesso a V_{DD} , quindi le capacità C_{DB} di questi transistori stanno in realtà tra il nodo d'uscita e V_{DD} . È comunque lecito inglobarle nella C_{int} , connessa tra l'uscita e massa, ai fini dell'analisi sia in regime di piccoli segnali, sia in regime transitorio (poiché $\frac{d(V_{DD}-V_o)}{dt} = -\frac{dV_o}{dt}$ essendo V_{DD} una tensione costante).