

# Esercitazione del 29 Aprile 2009

## Invertitore Resistor-Transistor Logic (RTL)

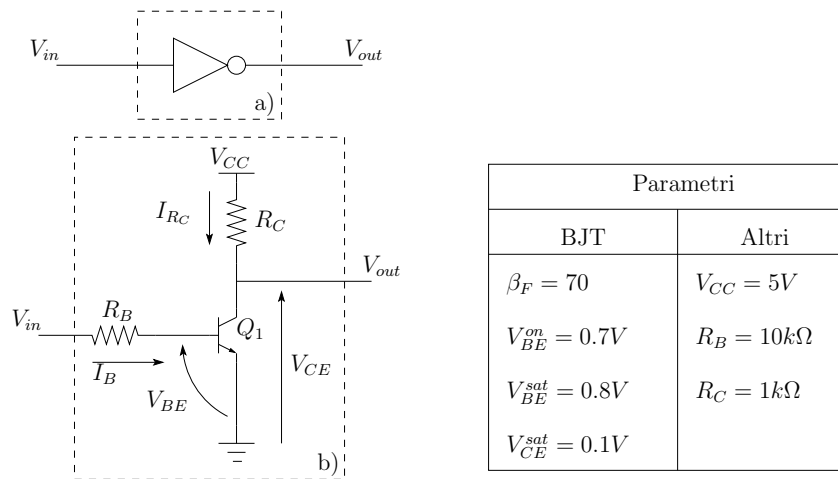


Figura 1: Porta logica NOT (a) realizzata mediante un invertitore RTL (b).

Si vuole caratterizzare la porta logica in Fig. 1, determinando:

1. caratteristica statica  $V_{out}(V_{in})$ , assumendo fan-out ( $FO$ )=0;
2. margine di immunità ai disturbi (noise margin,  $NM$ ), con  $FO=0$ ;
3. effetto del  $FO$  statico;
4. dissipazione di potenza statica ( $P_s$ ) e dinamica ( $P_d$ );
5. tempi di propagazione.

## 1. Caratteristica statica

Aumentando gradualmente la tensione d'ingresso a partire da  $V_{in} = 0V$ , vediamo in quali regioni viene a trovarsi il BJT  $Q_1$  e calcoliamo la tensione d'uscita.

**$Q_1$  OFF:**  $V_{in} \leq V_{BE}^{on}$ .

Infatti se  $Q_1$  è OFF  $\Rightarrow I_B = 0 \Rightarrow V_{in} = V_{BE}$ . Inoltre sul ramo d'uscita non circola corrente (perché  $FO=0$ ), quindi:

$$I_{RC} = I_C = 0 \Rightarrow V_{out} = V_{CC}$$

Abbiamo quindi determinato il valore massimo  $V_{OH}$  che l'uscita può assumere:

$$\boxed{V_{OH} = V_{CC} = 5V} \quad (1)$$

**$Q_1$  RND:**  $V_{in} = V_{BE}^{on}$ .

Quando  $V_{in}$  raggiunge il valore  $V_{BE}^{on}$ ,  $Q_1$  si accende e opera inizialmente in regione normale diretta (RND) perché ha  $V_{CE} = V_{out}$  elevata ( $V_{CE} > V_{CE}^{sat}$ ). Valgono quindi le seguenti relazioni:

$$V_{out} = V_{CC} - R_C I_C \quad (2)$$

$$I_C = \beta_F I_B \quad (3)$$

$$I_B = \frac{V_{in} - V_{BE}^{on}}{R_B} \quad (4)$$

Sostituendo (4) in (3) e successivamente in (2) si ottiene la relazione ingresso-uscita per la RND:

$$V_{out} = V_{CC} - \beta_F \frac{R_C}{R_B} (V_{in} - V_{BE}^{on}) \quad (5)$$

Si tratta di una relazione lineare con coefficiente angolare negativo e in modulo  $> 1$ : all'aumentare di  $V_{in}$ ,  $V_{out}$  diminuisce rapidamente.

**$Q_1$  SAT:**  $V_{CE} = V_{CE}^{sat}$ .

Quando  $V_{out}$  raggiunge il valore  $V_{CE}^{sat}$ ,  $Q_1$  entra in saturazione e l'uscita resta fissata a questa tensione. Nel modello a soglia adottato, si assume inoltre  $V_{BE} = V_{BE}^{sat}$  in questa regione. (Abbiamo, cioè, supposto che  $V_{BE}$  scatti da  $V_{BE}^{on} = 0.7V$  a  $V_{BE}^{sat} = 0.8V$  quando il BJT passa dalla RND alla SAT. In realtà  $V_{BE}$  crescerà gradualmente all'aumentare di  $V_{in}$ , e quindi di  $I_B$ , nella RND, ma la variazione complessiva è di soli  $0.1V$ , perciò la nostra approssimazione di fissare  $V_{BE} = V_{BE}^{on}$  in tutta la RND è ragionevole). Possiamo determinare

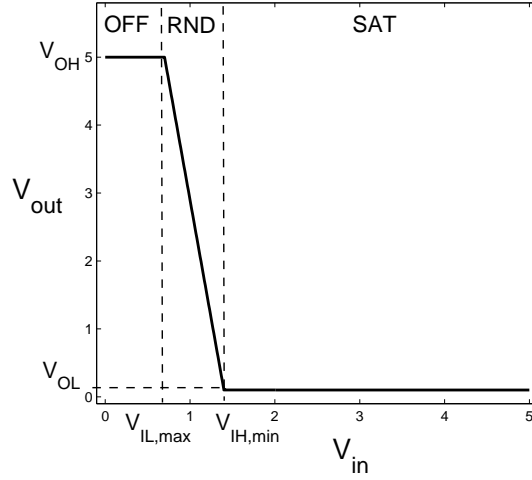


Figura 2: Caratteristica statica dell'invertitore RTL.

il valore  $V_{in}^*$  della tensione d'ingresso per cui  $Q_1$  passa dalla RND alla SAT mediante queste equazioni:

$$V_{in}^* = V_{BE}^{sat} + R_B I_B \quad (6)$$

$$I_C = \frac{V_{CC} - V_{CE}^{sat}}{R_C} \quad (7)$$

Poiché siamo al **confine** tra RND e SAT, possiamo ancora utilizzare la relazione (3) tra le correnti del BJT (che **non** sarà più valida per  $V_{in} > V_{in}^*$ ). Si ottiene in questo modo:

$$V_{in}^* = V_{BE}^{sat} + \frac{R_B}{\beta_F R_C} (V_{CC} - V_{CE}^{sat}) = 1.5V \quad (8)$$

Abbiamo dunque trovato il minimo valore  $V_{OL}$  della tensione d'uscita:

$$\boxed{V_{OL} = V_{CE}^{sat} = 0.1V} \quad (9)$$

La caratteristica statica dell'invertitore RTL è schematizzata in Fig. 2. Le tensioni  $V_{IL,max}$  e  $V_{IH,min}$ , definite come i valori di  $V_{in}$  corrispondenti ai punti della caratteristica aventi pendenza -1, in questo caso sono quelli associati ai due spigoli:

$$\boxed{V_{IL,max} = V_{BE}^{on} = 0.7V} \quad (10)$$

$$\boxed{V_{IH,min} = V_{in}^* = 1.5V} \quad (11)$$

## 2. Margine di immunità ai disturbi (NM)

**Definizione:**  $NM$  è la massima ampiezza di un disturbo (in tensione) che può sommarsi all'ingresso senza determinare variazioni "rilevanti" dell'uscita dal valore nominale  $V_{OL}$  o  $V_{OH}$ . Sono rilevanti le variazioni dell'uscita che non permettono più il corretto riconoscimento dei valori nominali da parte delle porte logiche a valle. Tipicamente, il  $NM$  si definisce utilizzando i punti a pendenza  $-1$  della caratteristica statica; nel caso dell'invertitore RTL, tali punti coincidono con i due spigoli della caratteristica di Fig. 2, per cui, **in questo caso**, il  $NM$  è violato ogni volta che, per effetto di un disturbo, l'uscita assume valori diversi da  $V_{OL}$  o  $V_{OH}$ .

**Cosa succede violando NM:** l'uscita assume un valore intermedio tra  $V_{OL}$  e  $V_{OH}$ , che potrebbe essere interpretato erroneamente dalle porte logiche a valle, causando errori che si propagano.

**Calcolo di NM:**

$$\boxed{NM_L = V_{IL,max} - V_{OL} = 0.6V} \quad (12)$$

$$\boxed{NM_H = V_{OH} - V_{IH,min} = 3.5V} \quad (13)$$

$$\boxed{NM = \min(NM_L, NM_H) = 0.6V} \quad (14)$$

Si osservi che l'asimmetria della caratteristica statica è sfavorevole per quanto riguarda l'immunità ai disturbi.

**Schematizzazione grafica:** con riferimento alla Fig. 3, supponiamo che l'uscita  $V_{out,1}$  dell'invertitore  $INV_1$  sia inizialmente al valore logico basso  $V_{OL}$ , e quindi che sia  $V_{out,2} = V_{OH}$  per  $INV_2$ . Se, a causa di un disturbo,  $V_{out,1}$  ( $= V_{in,2}$ ) sale,  $V_{IL,max}$  rappresenta il massimo valore di tensione che tale nodo può assumere affinché  $INV_2$  fornisca ancora la stessa uscita  $V_{OH}$ . Analogamente, se  $V_{out,1} = V_{OH}$  e successivamente scende a causa di un disturbo,  $V_{IH,min}$  rappresenta il minimo valore di tensione che tale nodo può assumere affinché  $INV_2$  fornisca ancora l'uscita corretta  $V_{OL}$ .

## 3. Effetto del Fan-Out statico sull'invertitore RTL

Il Fan-Out indica il numero massimo di circuiti di carico del medesimo tipo che è possibile collegare all'uscita di una porta logica. Fan-Out **statico**: in questo esercizio consideriamo solamente l'effetto del carico in condizioni statiche, non durante le commutazioni.

**Fan-Out=1.**

Calcoliamo l'effetto di  $FO = 1$  su  $V_{OH}$ , connettendo all'invertitore una porta logica uguale, come in Fig. 4. Per avere  $V_{out_1} = V_{OH}$  deve essere  $Q_1$  OFF, e

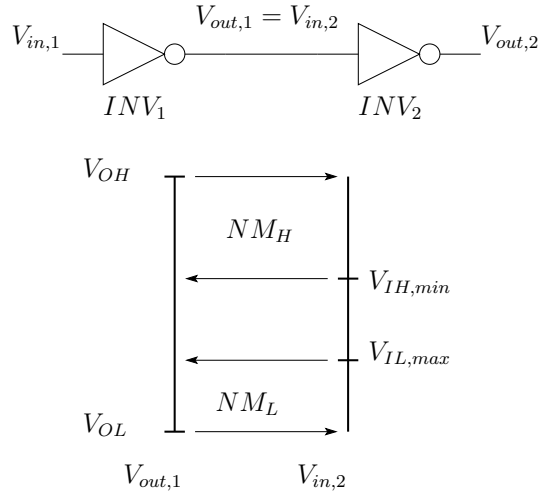


Figura 3: Significato di  $NM$ .  $INV_1$  e  $INV_2$  sono due invertitori identici fra loro.

quindi  $Q_2$  SAT. Poiché  $I_{C,1} = 0$ , si ha:

$$I_{R_C,1} = I_{B,2} = \frac{V_{CC} - V_{BE}^{sat}}{R_B + R_C}$$

Calcoliamo  $V_{out,1}$  partendo dall'emettitore di  $Q_2$  e seguendo il percorso a ritroso:

$$V_{out,1} = V_{BE}^{sat} + \frac{R_B}{R_B + R_C}(V_{CC} - V_{BE}^{sat}) = 4.6V = V_{OH} \quad (15)$$

Con  $FO = 0$  avevamo trovato  $V_{OH} = V_{CC}$ ; ora, per effetto della corrente assorbita dalla base di  $Q_2$  nelle condizioni di polarizzazione considerate,  $V_{OH}$  è

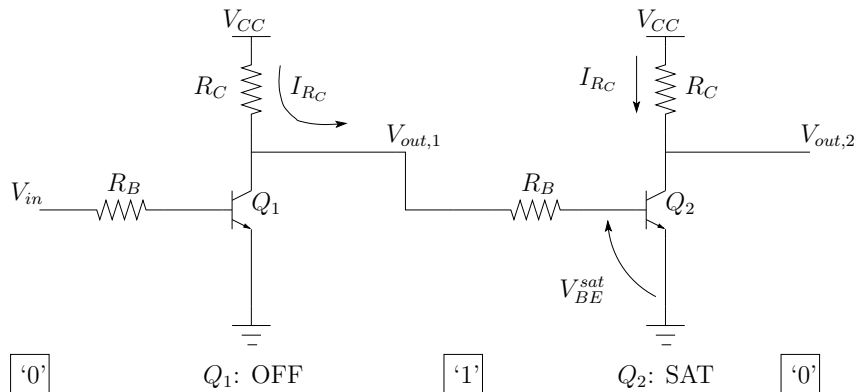


Figura 4: Effetto del Fan-Out ( $FO = 1$ ) su  $V_{OH}$ .

sceso al valore fornito dalla (15). Guardando l'espressione (13) di  $NM_H$ , si ha che  $V_{IH,min}$  continua ad assumere il valore precedentemente calcolato, mentre  $V_{OH}$  diminuisce, quindi anche  $NM_H$  si riduce.

Effetto del  $FO$  statico su  $V_{OL}$ : se  $V_{out,1} = V_{OL}$ ,  $Q_2$  è OFF, quindi  $V_{OL}$  e  $NM_L$  non sono influenzati dalla presenza di stadi a valle della porta logica considerata.

### Fan-Out=N.

Supponiamo ora di connettere all'uscita del primo invertitore  $N$  porte logiche uguali in parallelo, come in Fig. 5. Se  $V_{out,1} = V_{OH}$ , ciascuna di queste porte logiche ha il BJT in saturazione e assorbe una corrente  $I_B$ , mentre  $Q_1$  è OFF, quindi si ha

$$I_{RC,1} = N \cdot I_B$$

$$V_{out,1} = V_{BE}^{sat} + R_B I_B$$

Possiamo calcolare  $I_{RC,1}$  mediante il circuito equivalente nella parte destra di Fig. 5:

$$I_{RC,1} = \frac{V_{CC} - V_{BE}^{sat}}{R_C + R_B/N}$$

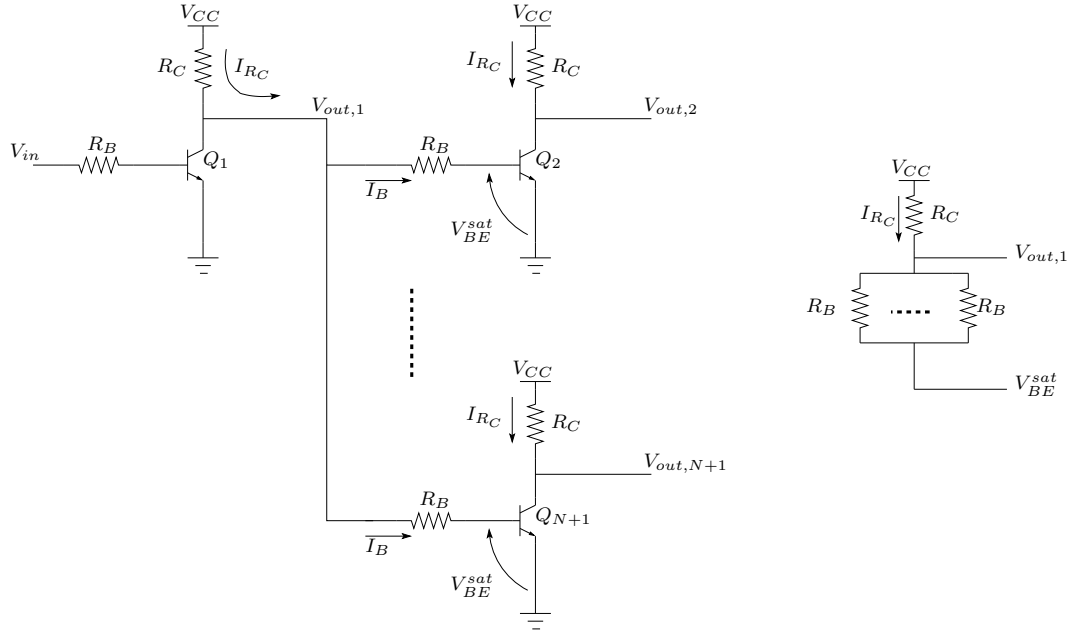


Figura 5: Effetto di  $FO = N$  su  $V_{OH}$ .

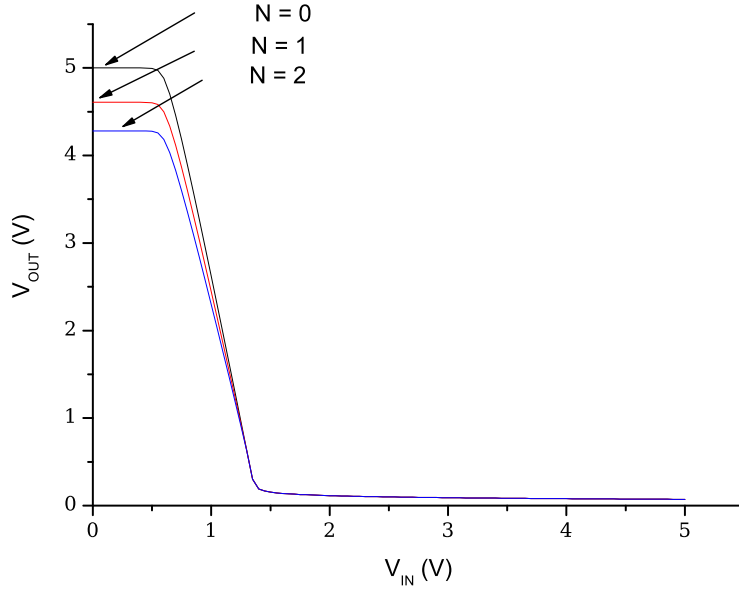


Figura 6: Effetto del Fan-Out sulla caratteristica statica dell'invertitore RTL.

Utilizzando le relazioni precedenti si ottiene:

$$\boxed{V_{out,1} = V_{BE}^{sat} + \frac{R_B/N}{R_B/N + R_C}(V_{CC} - V_{BE}^{sat}) = V_{OH}} \quad (16)$$

All'aumentare di  $N$ ,  $V_{OH}$  diminuisce, come mostrato in Fig. 6, e quindi diminuisce  $NM_H$ . Calcoliamo allora il numero massimo  $N_{MAX}$  di stadi che possono essere connessi in parallelo all'uscita del primo invertitore, imponendo  $NM_H \geq 0 \Rightarrow V_{OH} \geq V_{IH,min}$ :

$$\begin{aligned} V_{BE}^{sat} + \frac{R_B/N}{R_B/N + R_C}(V_{CC} - V_{BE}^{sat}) &\geq V_{BE}^{sat} + \frac{R_B}{\beta_F R_C}(V_{CC} - V_{CE}^{sat}) \\ \beta_F \frac{V_{CC} - V_{BE}^{sat}}{V_{CC} - V_{CE}^{sat}} &\geq N \frac{R_B/N + R_C}{R_C} \\ N &\leq \beta_F \frac{V_{CC} - V_{BE}^{sat}}{V_{CC} - V_{CE}^{sat}} - \frac{R_B}{R_C} \end{aligned}$$

per cui

$$\boxed{N_{MAX} = \left\lfloor \beta_F \frac{V_{CC} - V_{BE}^{sat}}{V_{CC} - V_{CE}^{sat}} - \frac{R_B}{R_C} \right\rfloor = 50} \quad (17)$$

## 4. Dissipazione di potenza statica e dinamica

### Potenza statica

La potenza dissipata in condizioni statiche, cioè negli intervalli di tempo in cui non si verifica alcuna transizione sui nodi del circuito, si calcola mediante l'espressione

$$P_s = V_{in}I_B + V_{CC}I_C \quad (18)$$

Poiché la corrente di base è tipicamente piccola rispetto a quella di collettore, la dissipazione di potenza dovuta a  $I_B$  può essere trascurata.

Nel caso di uscita a livello logico alto, essendo nulla la corrente di collettore, nel resistore  $R_C$  non passa corrente e dunque la potenza statica è nulla:

$$\boxed{P_s^H = 0} \quad (19)$$

Nel caso di uscita bassa, ovvero  $V_{out} = V_{OL} = 0.1V$ , la corrente erogata dal generatore  $V_{CC}$  è pari a:

$$I_C = \frac{V_{CC} - V_{CE}^{sat}}{R_C} = \frac{5V - 0.1V}{1K\Omega} = 4.9 \text{ mA}$$

per cui la potenza statica dissipata è pari a:

$$\boxed{P_s^L = V_{CC} \cdot I_C = 24.5 \text{ mW}} \quad (20)$$

### Potenza dinamica

La potenza dissipata in condizioni dinamiche, cioè durante le commutazioni, è funzione del tempo. In particolare, si può definire una potenza istantanea

$$p(t) = V_{CC} \cdot I_{cc}(t) \quad (21)$$

dove  $I_{cc}$  è la corrente assorbita dall'alimentazione. Se ipotizziamo che in media si verifichi una commutazione ogni intervallo di tempo  $T$ , possiamo calcolare la potenza dinamica media dissipata in tale intervallo come:

$$P_d = \frac{1}{T} \int_0^T V_{CC} \cdot I_{cc}(t) dt \quad (22)$$

Per effettuare tale calcolo, occorre tenere conto degli effetti reattivi connessi al nodo che sta commutando; tipicamente questi sono dovuti:

- alle capacità parassite delle linee di interconnessione



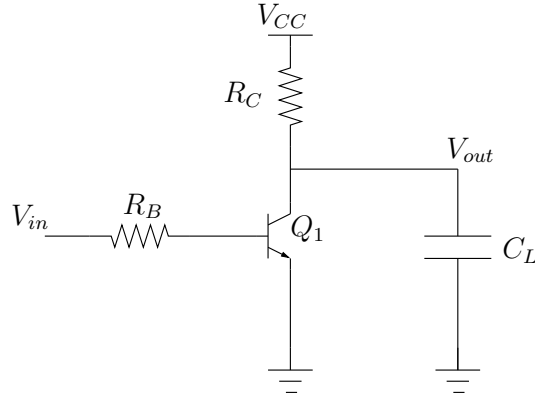


Figura 7: Circuito considerato per il calcolo della potenza dinamica e del ritardo di propagazione.

- alle capacità di ingresso delle eventuali porte logiche connesse al nodo in esame.

Nel nostro caso, descriviamo tali effetti reattivi mediante una capacità  $C_L$  connessa tra il nodo d'uscita e massa, come mostrato in Fig. 7. Calcoliamo la potenza media dissipata durante la carica di tale capacità, cioè quando  $V_{out}$  subisce la transizione  $V_{OL} \rightarrow V_{OH}$ . Questo avviene se  $V_{in}$  subisce la commutazione opposta; ipotizzando che la transizione dell'ingresso sia istantanea e causi lo spegnimento di  $Q_1$ , si avrà sul collettore di questo  $I_C = 0$  e quindi la corrente assorbita dall'alimentazione sarà la stessa che carica  $C_L$ :

$$\begin{aligned}
 \boxed{P_d} &= \frac{1}{T} V_{CC} \int_0^T C_L \frac{dV_{out}}{dt} dt \\
 &= \frac{1}{T} V_{CC} C_L \int_{V_{OL}}^{V_{OH}} dV_{out} \\
 &= \boxed{f C_L V_{CC} (V_{OH} - V_{OL})}
 \end{aligned}$$

avendo indicato con  $f = 1/T$  la frequenza con cui avviene la commutazione considerata.

Non verrà trattato il caso della commutazione opposta, in quanto il calcolo risulterebbe più complesso a causa della conduzione di  $Q_1$ : la corrente assorbita dall'alimentazione, infatti, è data, in queste condizioni, dalla somma di quella che scorre su  $C_L$  e quella di collettore di  $Q_1$ , che a sua volta dipende da  $V_{out}$ , per cui occorrerebbe impostare un'equazione differenziale opportuna per determinare l'espressione di  $I_{cc}(t)$  da integrare.

## 5. Calcolo del ritardo di propagazione

Si vuole determinare il tempo  $t_{p,LH}$  impiegato da  $V_{out}$  per compiere il 50% della transizione  $V_{OL} \rightarrow V_{OH}$  conseguente ad una commutazione opposta dell'ingresso, supposta istantanea. Si considererà unicamente il ritardo associato alla carica della capacità  $C_L$  (Fig. 7), supponendo che lo spegnimento di  $Q_1$  conseguente alla transizione di  $V_{in}$  sia *istantaneo* (assunzione falsa nella realtà a causa del tempo non nullo impiegato dal transistor per smaltire la carica accumulata sulla base). Conseguentemente alle nostre ipotesi, la corrente che carica  $C_L$  è:

$$I(t) = C_L \frac{dV_{out}}{dt} = \frac{V_{CC} - V_{out}}{R_C} \quad (23)$$

Le condizioni al contorno da utilizzare per integrare la (23) sono le seguenti:

- $t = 0^-$ :  $V_{in}(0^-) = V_{CC} \Rightarrow V_{out}(0^-) = V_{CE}^{sat}$ ;
- $t = 0^+$ :  $V_{in}(0^+) = 0V$ , ma  $V_{out}(0^+) = V_{out}(0^-) = V_{CE}^{sat}$  perché la tensione ai capi di un condensatore non può variare istantaneamente.
- $t_{p,LH}$ :  $V_{out}(t_{p,LH}) = V_{OL} + 0.5(V_{OH} - V_{OL}) \equiv V_{50\%}$

Separando le variabili nella (23) e integrando tra gli estremi ora determinati si ha:

$$\int_{V_{OL}}^{V_{50\%}} R_C C_L \frac{dV_{out}}{V_{CC} - V_{out}} = \int_0^{t_{p,LH}} dt$$

$$\boxed{t_{p,LH}} = -R_C C_L [\ln(V_{CC} - V_{out})]_{V_{OL}}^{V_{50\%}} = R_C C_L \ln(2) \boxed{\simeq 0.69 R_C C_L}$$

Se per esempio  $C_L = 1pF$ , risulta  $t_{p,LH} = 0.69ns$ .

Anche il calcolo del ritardo di propagazione nel caso della commutazione opposta verrà tralasciato in quanto più complesso a causa della conduzione di  $Q_1$ .

## Osservazioni sui punti 3. e 4.

1. I limiti al  $FO$  statico sono dovuti all'assorbimento di corrente dalla base dei BJT in uno degli stati logici: questo problema non si verifica con i transistori MOS, che non assorbono corrente dal gate.
2. La dissipazione di potenza statica è dovuta alla circolazione di corrente nei BJT in saturazione: questo problema viene superato nelle logiche CMOS grazie al fatto che nel MOS la  $I_{DS}$  è nulla non solo quando il transistor è spento, ma anche quando  $V_{DS} = 0$ .