

# Esercitazioni di CIRCUITI ELETTRONICI ANALOGICI L-A

Anno Accademico 2006/2007

## Esercitazione N. 2

### Diodi a giunzione p/n

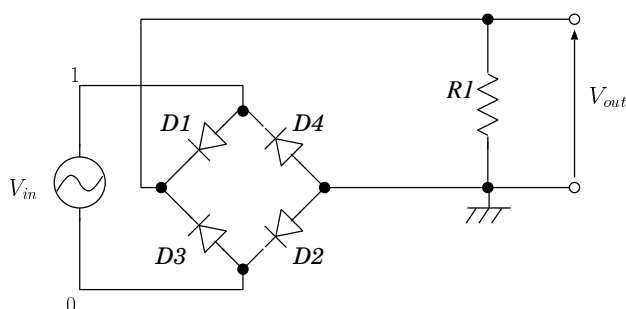
1. Produrre alcune caratteristiche  $I(V)$  di diodi a giunzione alla temperatura di  $16.96^\circ\text{C}$  e di  $28.57^\circ\text{C}$  utilizzando diversi valori della corrente di saturazione (0.1 fA, 1 fA, 10 fA) ed osservarle sia in scale lineari che semilogaritmiche.
2. In entrambi i casi, se si utilizzano tensioni superiori a 1.5 V il simulatore produce errori di convergenza. Per quale motivo?
3. Inserire una resistenza in serie al diodo. Spiegare l'effetto della resistenza sulla corrente che attraversa il diodo.

### Raddrizzatore a semionda

4. Produrre il grafico  $V_{out}(V_{in})$  di un circuito raddrizzatore a semionda.
5. Produrre il grafico della tensione di uscita di tale circuito quando vi sia applicata una tensione di ingresso sinusoidale.
6. Confrontare i risultati ottenuti con quelli previsti dal modello a soglia.

### Raddrizzatore a ponte

7. Ripetere gli esercizi 4-6 per il circuito in figura .



## Soluzioni

1. \* diodi a giunzione

```
.TEMP 16.96
.PARAM IS=1f
.MODEL DMOD D IS={IS}
V1 1 0 5V
D1 1 0 DMOD
.DC V1 1m 1 1m
.STEP PARAM IS LIST .1f 1f 10f
.PROBE I(D1)
```

2. A causa del modello esponenziale del diodo, le correnti raggiunte superano il limite di tolleranza del simulatore.

3. R1 1 2 1k  
D1 2 0 DMOD

La resistenza serie introdotta agisce da limitatore di corrente sul diodo, in quanto genera una caduta di tensione ai suoi capi direttamente proporzionale alla corrente che la attraversa. Il diodo vede dunque applicata ai suoi capi una tensione inferiore al caso precedente.

4. \* raddrizzatore a semionda

```
.TEMP 16.96
.MODEL DMOD D IS=1f
V1 1 0 5V
D1 1 2 DMOD
R1 2 0 1k
.DC V1 -5 5 1m
.PROBE V(2)
```

5. V1 1 0 SIN (0 5 5k 50u 0 0)  
.TRAN 1u 1m 0 100n

6. Si osserva un ritardo nell'inizio di ogni semionda ed una riduzione dell'ampiezza massima pari a circa 0.7 V dovuta all'uso del modello esponenziale.

7. \* Raddrizzatore a ponte

```
.MODEL DD D IS=1f
V1 1 3 SIN (0 5 5k 50u 0 0)
D1 1 2 DD
D2 0 3 DD
D3 0 1 DD
D4 3 2 DD
R1 2 0 1k
.DC V1 -5 5 1m
.TRAN 1u 1m 0 100n
.PROBE V(2)
```